



UNIVERSITATEA TEHNICĂ DIN CLUJ - NAPOCA

FACULTATEA DE INGINERIE ELECTRICĂ



Ș. L. dr. ing. Pintilie Lucian - Nicolae

Tehnici de control și estimare în acționări electrice

Ședința de laborator și proiect nr. 4

Integrarea modelelor Simulink în cadrul mediului NI VeriStand

Cuprins

- ✓ **Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900**
- ✓ **Prezentarea procedurii de integrare a modelelor Simulink în VeriStand**
- ✓ **Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora**

Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900

❖ Plăcuța nr. 1 conține următoarele elemente periferice digitale sau logice:

- ✓ Opt diode electroluminiscente (patru de culoare verde și patru roșu)
- ✓ O singură diodă electroluminiscentă multicoloră (eng. RGB LED)
- ✓ Trei microîntreruptoare cu apăsare și revenire (eng. PTM pushbutton)
- ✓ Terminal de atașare la conectorul MXP

❖ Plăcuța nr. 2 conține următoarele elemente periferice digitale sau logice:

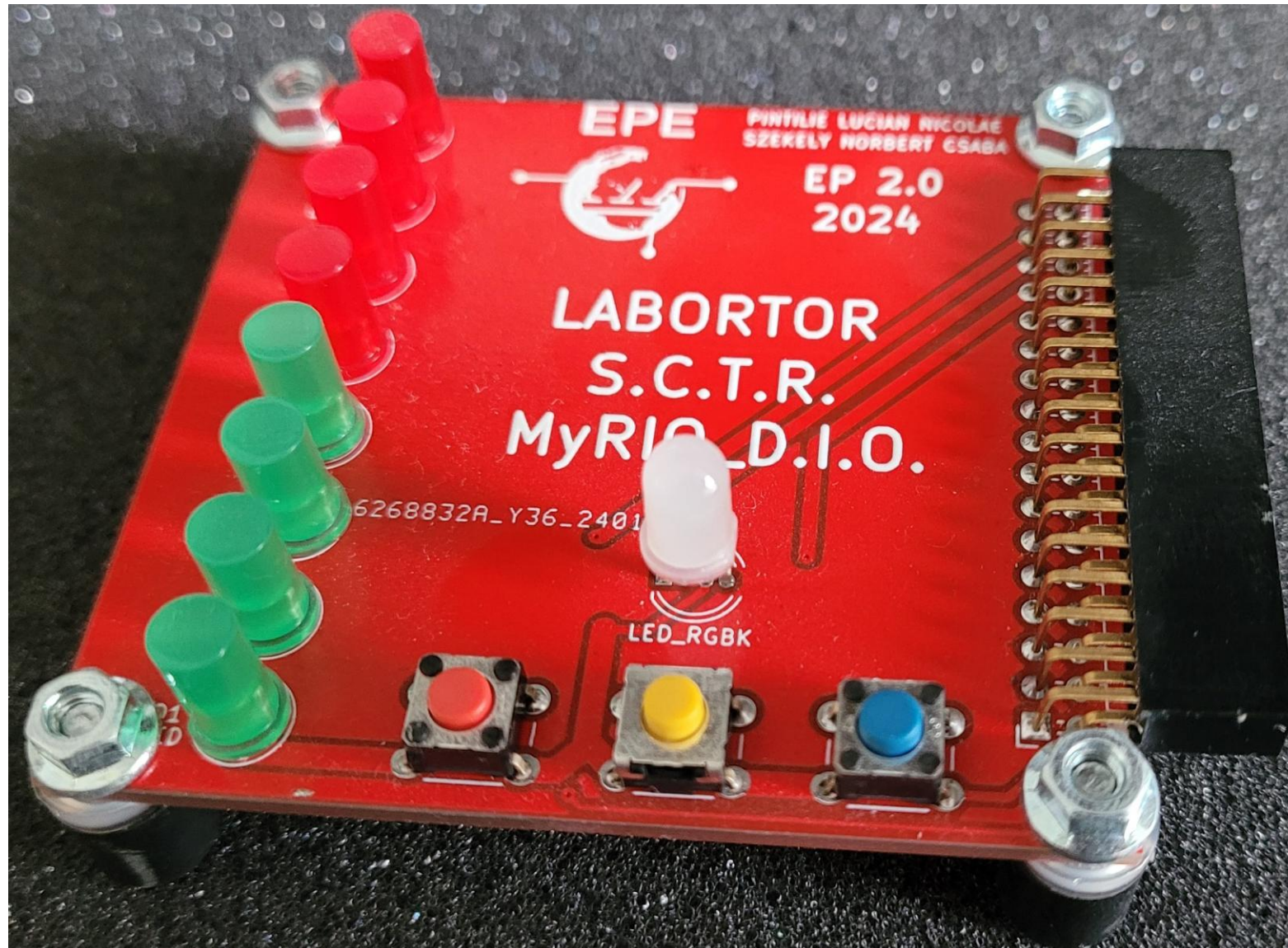
- ✓ Afișaj cu șapte segmente LED (eng. 7 segment display)
- ✓ O singură diodă electroluminiscentă multicoloră (eng. RGB LED)
- ✓ Trei microîntreruptoare cu apăsare și revenire (eng. PTM pushbutton)
- ✓ Terminal de atașare la conectorul MXP

Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900

❖ Plăcuța modulară nr. 1 conține următoarele componente electronice:

Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
D1 LED	DO0_A – MXP A	11	Ieșire digitală
D2 LED	DO1_A – MXP A	13	Ieșire digitală
D3 LED	DO2_A – MXP A	15	Ieșire digitală
D4 LED	DO3_A – MXP A	17	Ieșire digitală
D5 LED	DO4_A – MXP A	19	Ieșire digitală
D6 LED	DO5_A – MXP A	21	Ieșire digitală
D7 LED	DO6_A – MXP A	23	Ieșire digitală
D8 LED	DO7_A – MXP A	25	Ieșire digitală
LED_RGBK - R	PWM0_A – MXP A	27	Ieșire digitală pulsatorie
LED_RGBK - G	PWM1_A – MXP A	29	Ieșire digitală pulsatorie
LED_RGBK - B	PWM2_A – MXP A	31	Ieșire digitală pulsatorie
SW1	DI11_A – MXP A	18	Intrare digitală
SW2	DI12_A – MXP A	22	Intrare digitală
SW3	DI13_A – MXP A	26	Intrare digitală

Plăcuța modulară nr. 1

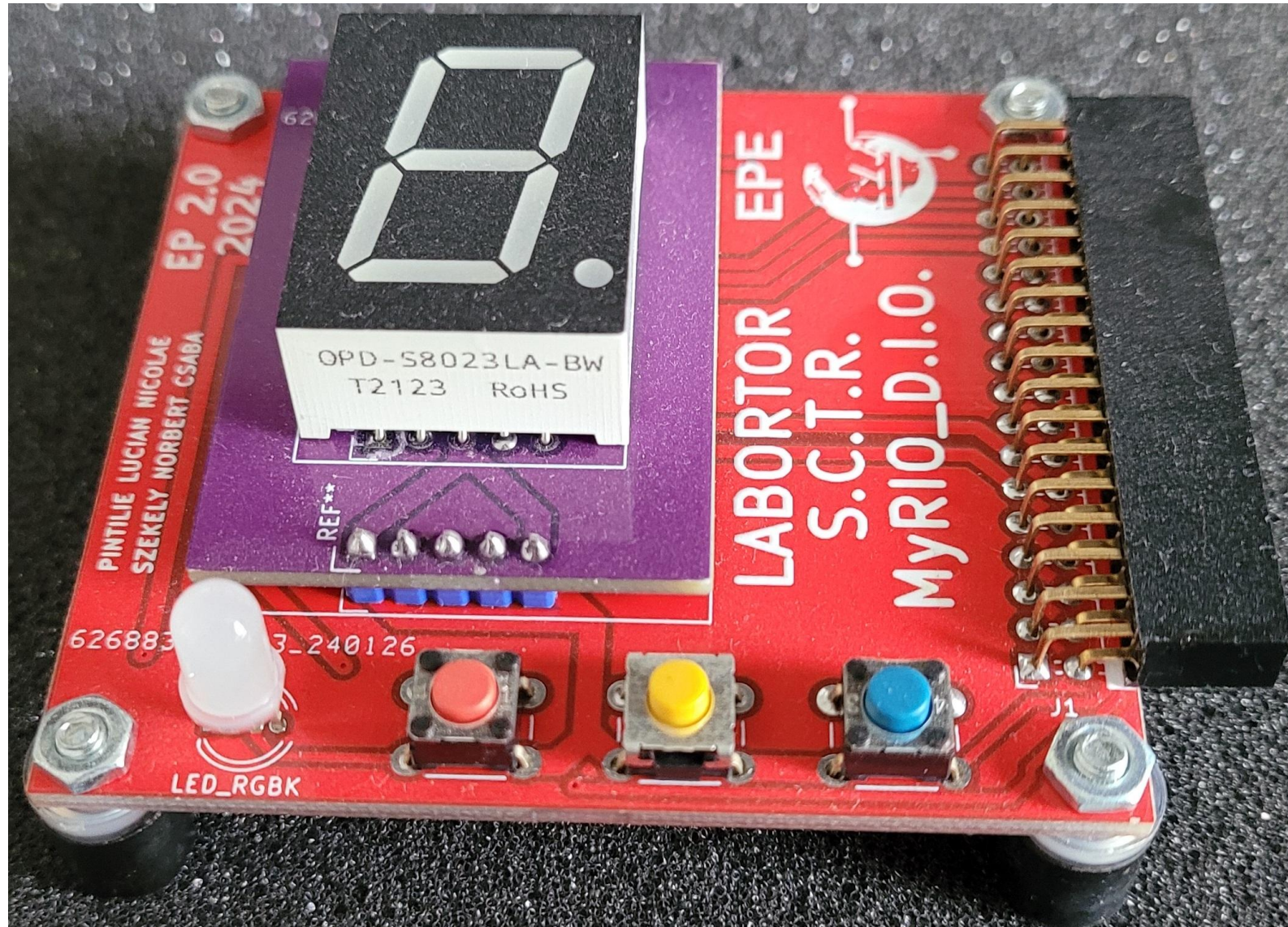


Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900

❖ Plăcuța modulară nr. 2 conține următoarele componente electronice:

Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
7 segment – SEG_a	DO0_A – MXP B	11	Ieșire digitală
7 segment – SEG_b	DO1_A – MXP B	13	Ieșire digitală
7 segment – SEG_c	DO2_A – MXP B	15	Ieșire digitală
7 segment – SEG_d	DO3_A – MXP B	17	Ieșire digitală
7 segment – SEG_e	DO4_A – MXP B	19	Ieșire digitală
7 segment – SEG_f	DO5_A – MXP B	21	Ieșire digitală
7 segment – SEG_g	DO6_A – MXP B	23	Ieșire digitală
7 segment – SEG_DP	DO7_A – MXP B	25	Ieșire digitală
LED_RGBK - R	PWM0_B – MXP A	27	Ieșire digitală pulsatorie
LED_RGBK - G	PWM1_B – MXP A	29	Ieșire digitală pulsatorie
LED_RGBK - B	PWM2_B – MXP A	31	Ieșire digitală pulsatorie
SW1	DI11_B – MXP A	18	Intrare digitală
SW2	DI12_B – MXP A	22	Intrare digitală
SW3	DI13_B – MXP A	26	Intrare digitală

Plăcuța modulară nr. 2



Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900

❖ Plăcuța nr. 3 conține următoarele elemente periferice digitale sau logice:

- ✓ Opt întreruptoare cu pârghie (eng. lever switch) fără revenire mecanică
- ✓ Terminal de atașare la conectorul MSP

❖ Plăcuța nr. 4 conține următoarele elemente periferice:

- ✓ Encoder rotativ având ca și rezoluție 18 pași pe rotație și buton cu apăsare și revenire
- ✓ Potențiometru rotativ având rezistența maximă 100 [kΩ]
- ✓ Fotorezistență de tip LDR-07 având rezistența 10 [kΩ]
- ✓ Traductor de temperatură LM – 35 având precizia de 10 [mV / °C]
- ✓ Traductor magnetorezistiv SS49E
- ✓ Releu de tip Omron G5LE-14 interfațat prin optocuplor și tranzistor bipolar
- ✓ Terminal cu șurubel pentru interfațarea ieșirilor analogice variabile în tensiune
- ✓ Terminal pentru conectarea senzorului de proximitate PIR SEN0171

Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900

❖ Plăcuța modulară nr. 3 conține următoarele componente electronice:

Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
SW_0	DI0 – MSP	11	Intrare digitală
SW_1	DI1 – MSP	12	Intrare digitală
SW_2	DI2 – MSP	13	Intrare digitală
SW_3	DI3 – MSP	14	Intrare digitală
SW_4	DI4 – MSP	15	Intrare digitală
SW_5	DI5 – MSP	16	Intrare digitală
SW_6	DI6 – MSP	17	Intrare digitală
SW_7	DI7 – MSP	18	Intrare digitală

Plăcuța modulară nr. 3

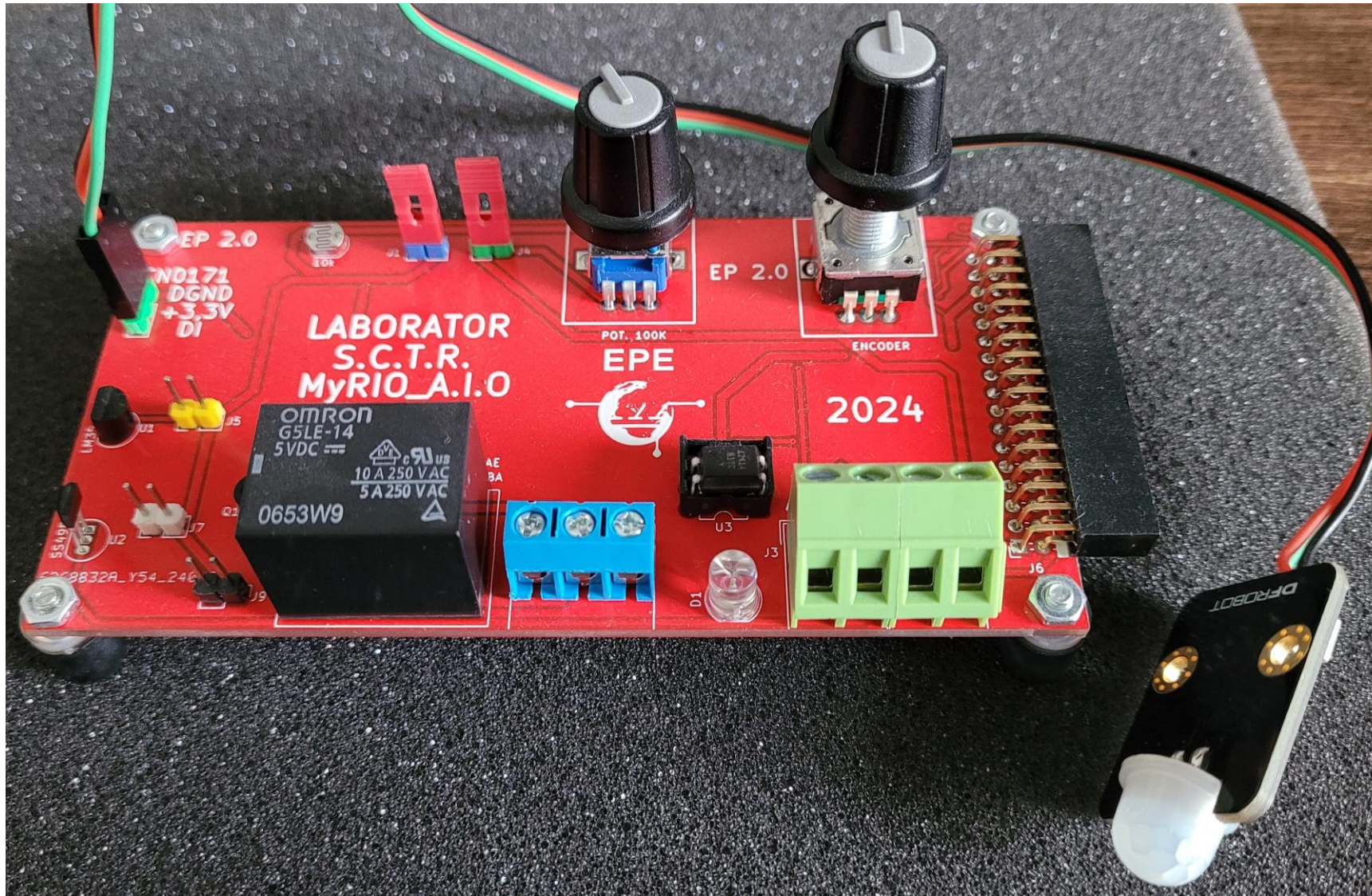


Prezentarea plăcuțelor modulare aferente porturilor NI MyRIO 1900

❖ Plăcuța modulară nr. 4 conține următoarele componente electronice:

Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
R1 (LDR-07) 10k	AI0_B	3	Intrare analogică
POT 100k	AI1_B	5	Intrare analogică
LM35 – LP	AI2_B	7	Intrare analogică
SS49E	AI3_B	9	Intrare analogică
K1 (Releu OMRON)	DIO3_B	17	Ieșire digitală
Encoder SIG_A	DIO11 / DIO8 _ B	18 / 27	Intrare digitală
Encoder SIG_B	DIO12 / DIO9 _ B	22 / 29	Intrare digitală
Encoder SIG_SW	DIO13_B	26	Intrare digitală
SEN0171 DFROBOT	DIO4_B	19	Intrare digitală
AO_0	AO0_B	2	Ieșire analogică
AO_1	AO1_B	4	Ieșire analogică

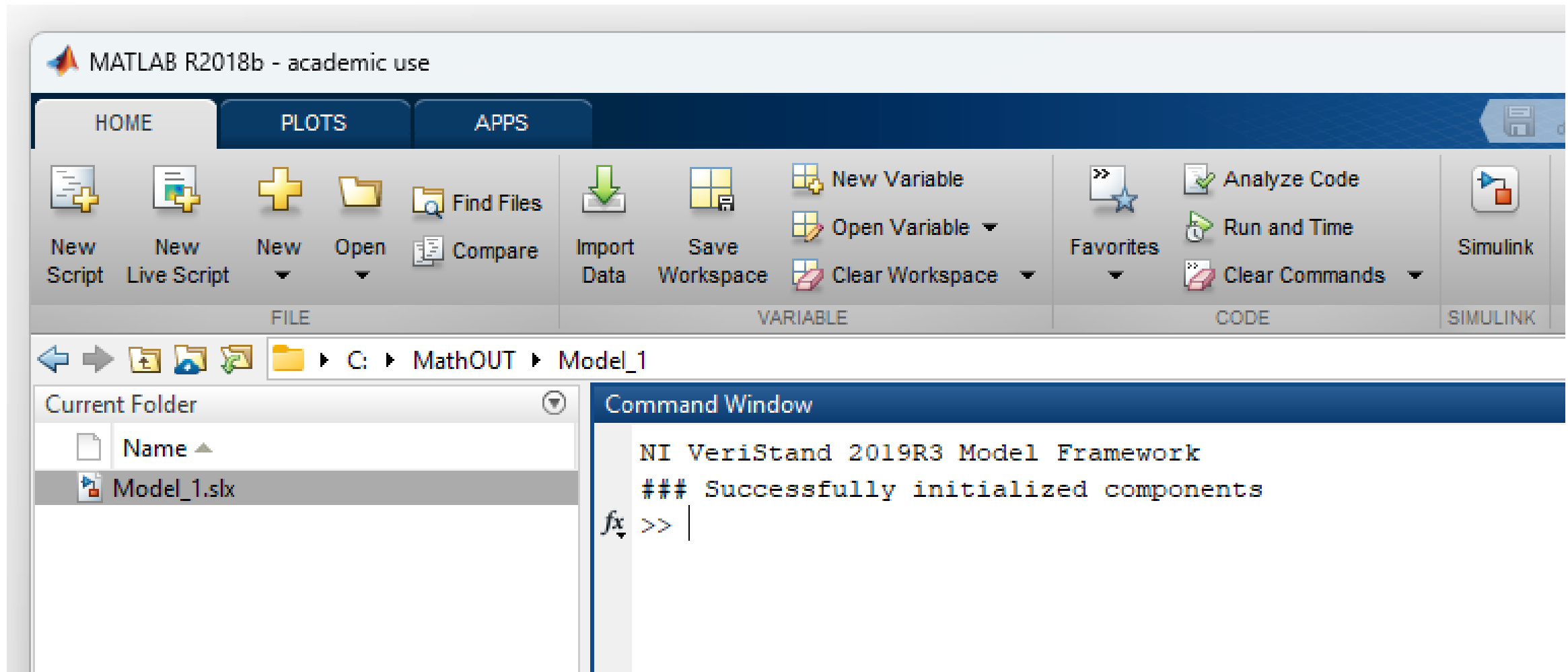
Plăcuța modulară nr. 4



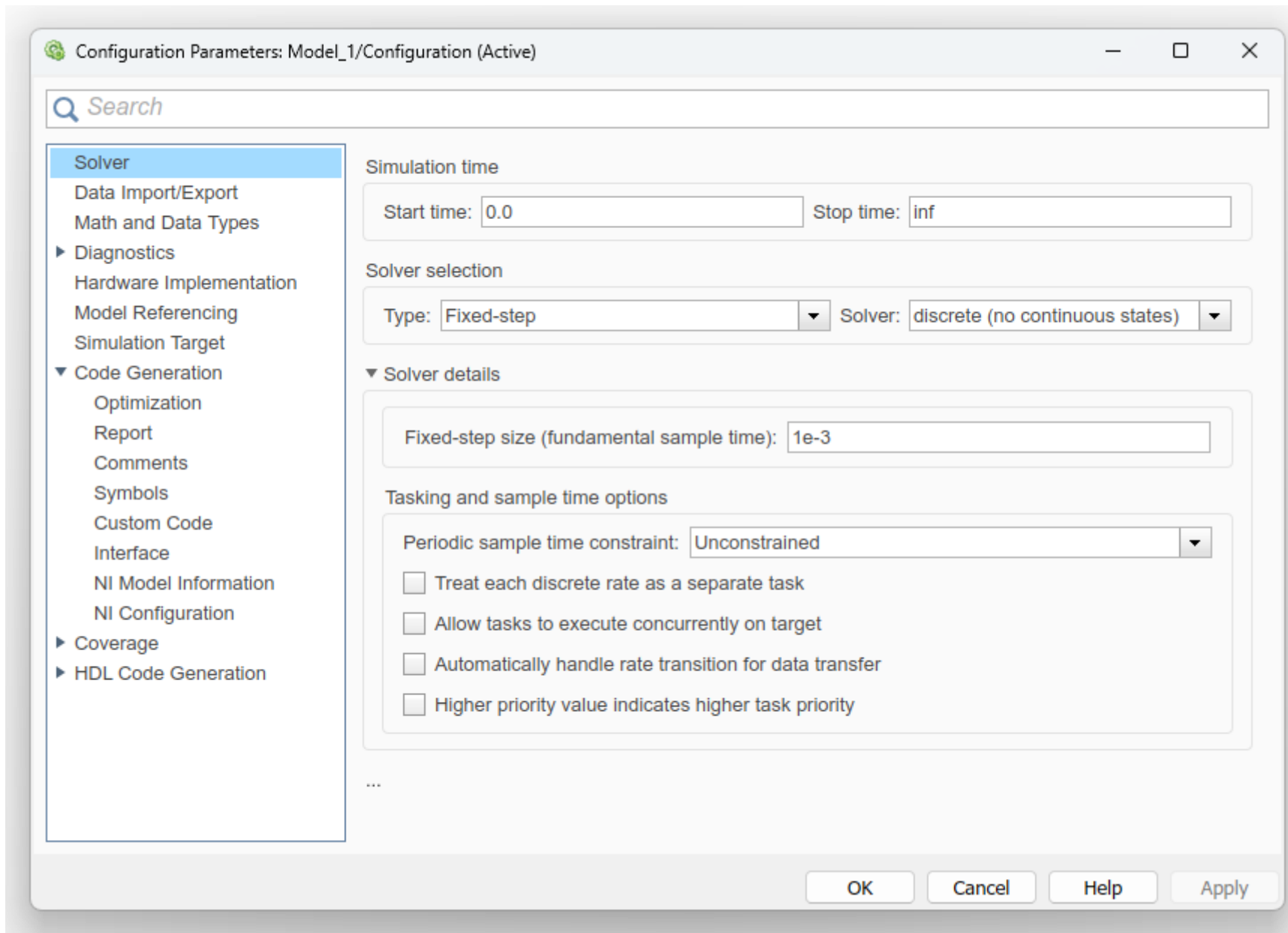
Prezentarea procedurii de integrare a modelelor Simulink în VeriStand

- ❖ Pentru a integra modelele Matlab – Simulink în cadrul mediului NI VeriStand este necesară instalarea pachetului adițional NI VeriStand Model Framework
- ❖ În cadrul diagramelor Simulink se vor introduce elementele de legătură (de intrare sau ieșire) dintre model și resursele fizice disponibile în VeriStand (ex. intrări sau ieșiri digitale sau analogice)
- ❖ În urma verificării funcționalității modelului prin simulare se va iniția etapa de compilare a structurii implementate
- ❖ Fișierul rezultat va avea formatul „.so” similar fișierelor executabile din Linux (arhitectura procesorului de aplicație este ARM având reprezentare pe 32 de biți a tipului de date întreg – eng. integer)

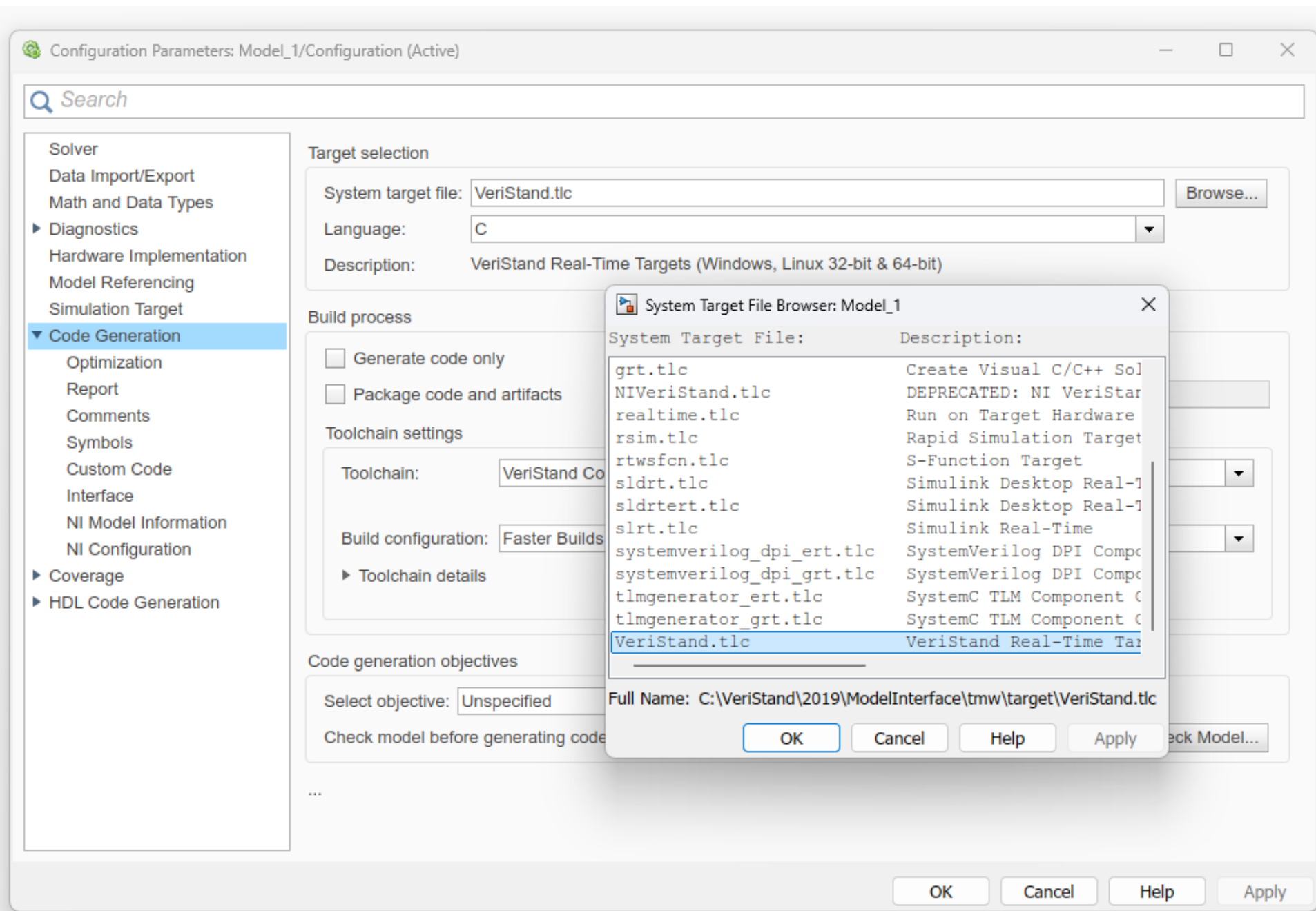
Mesajul de inițializare al pachetului adițional NI VeriStand Model Framework



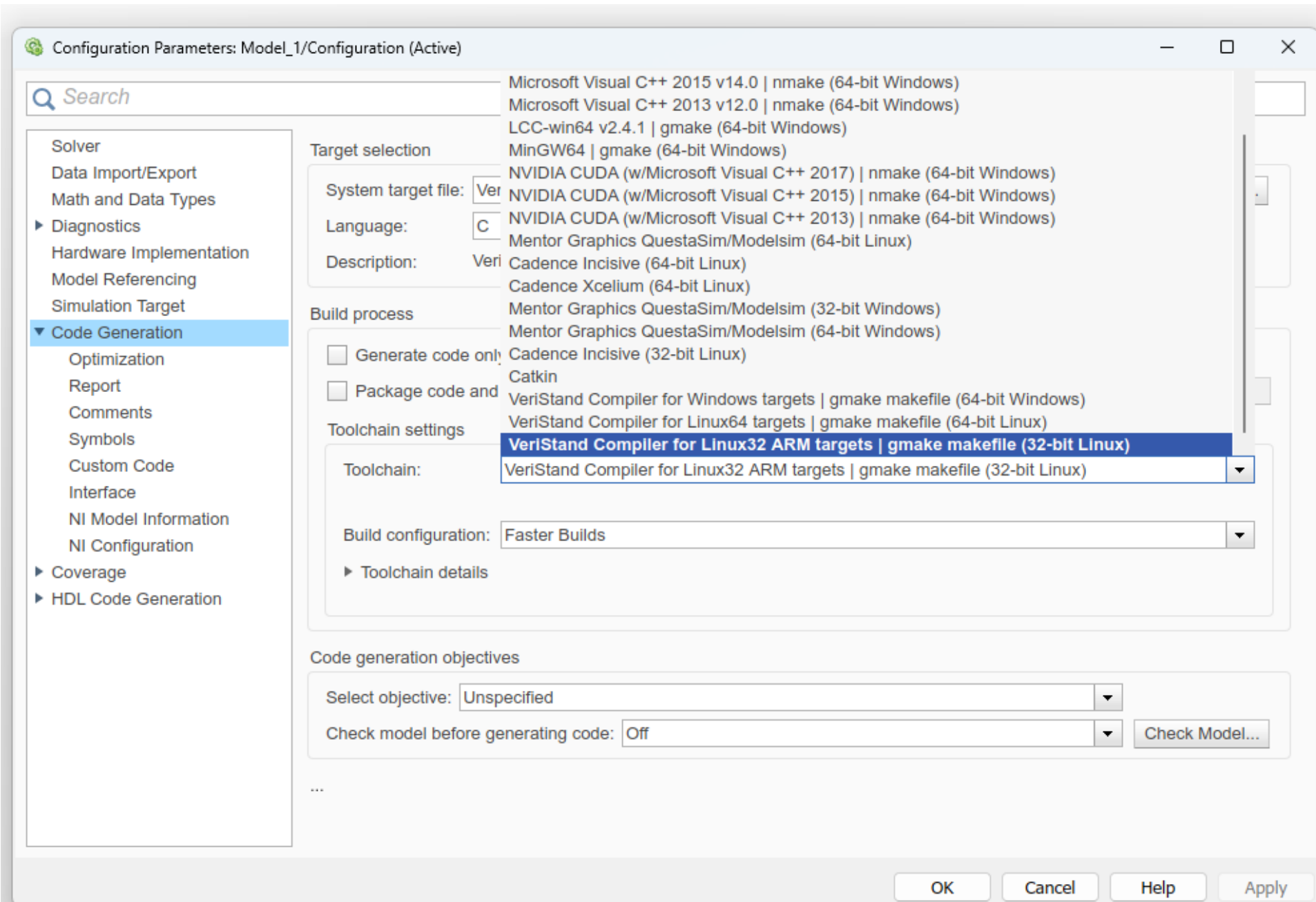
Parametrizarea modelului Simulink



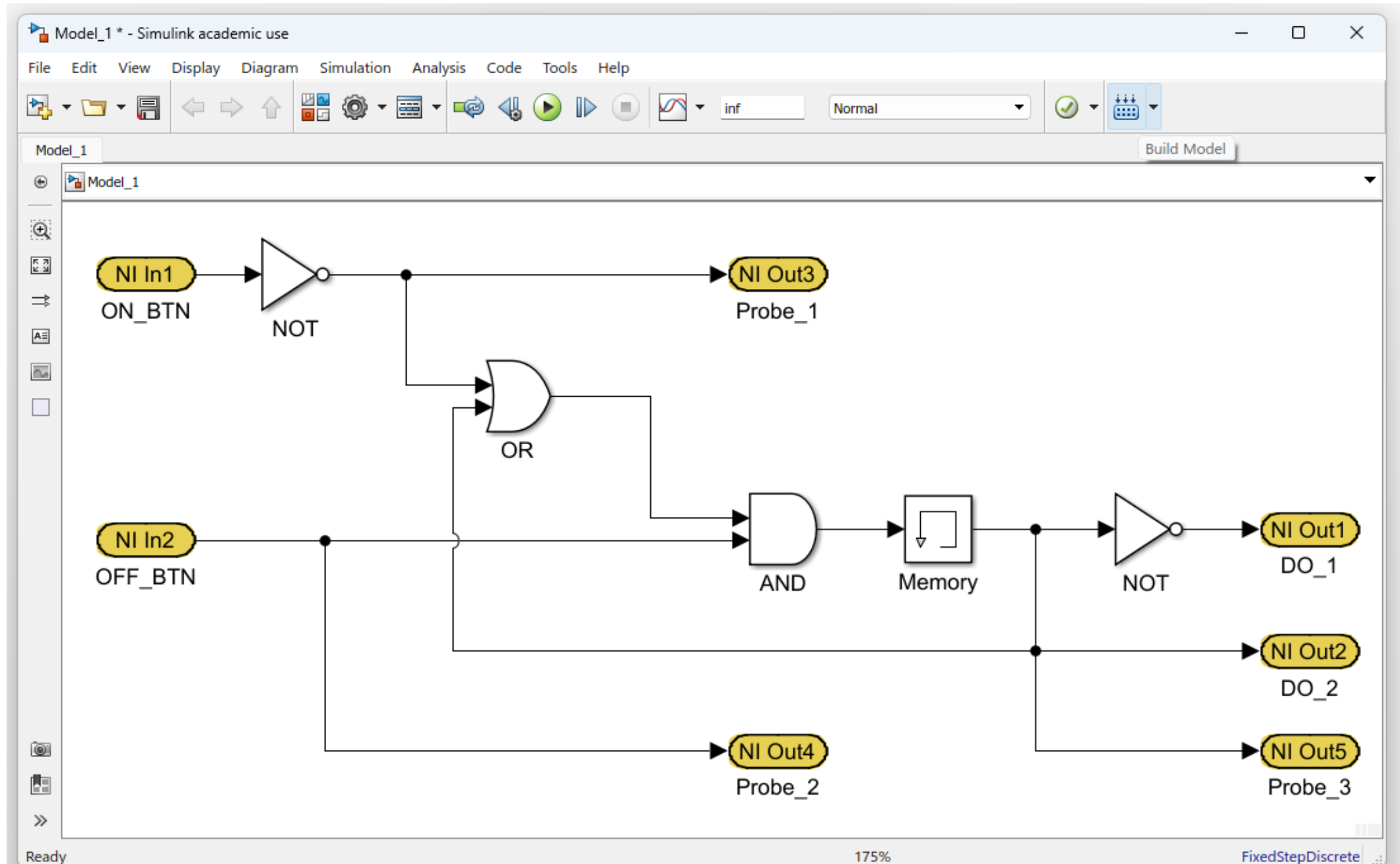
Parametrizarea modelului Simulink



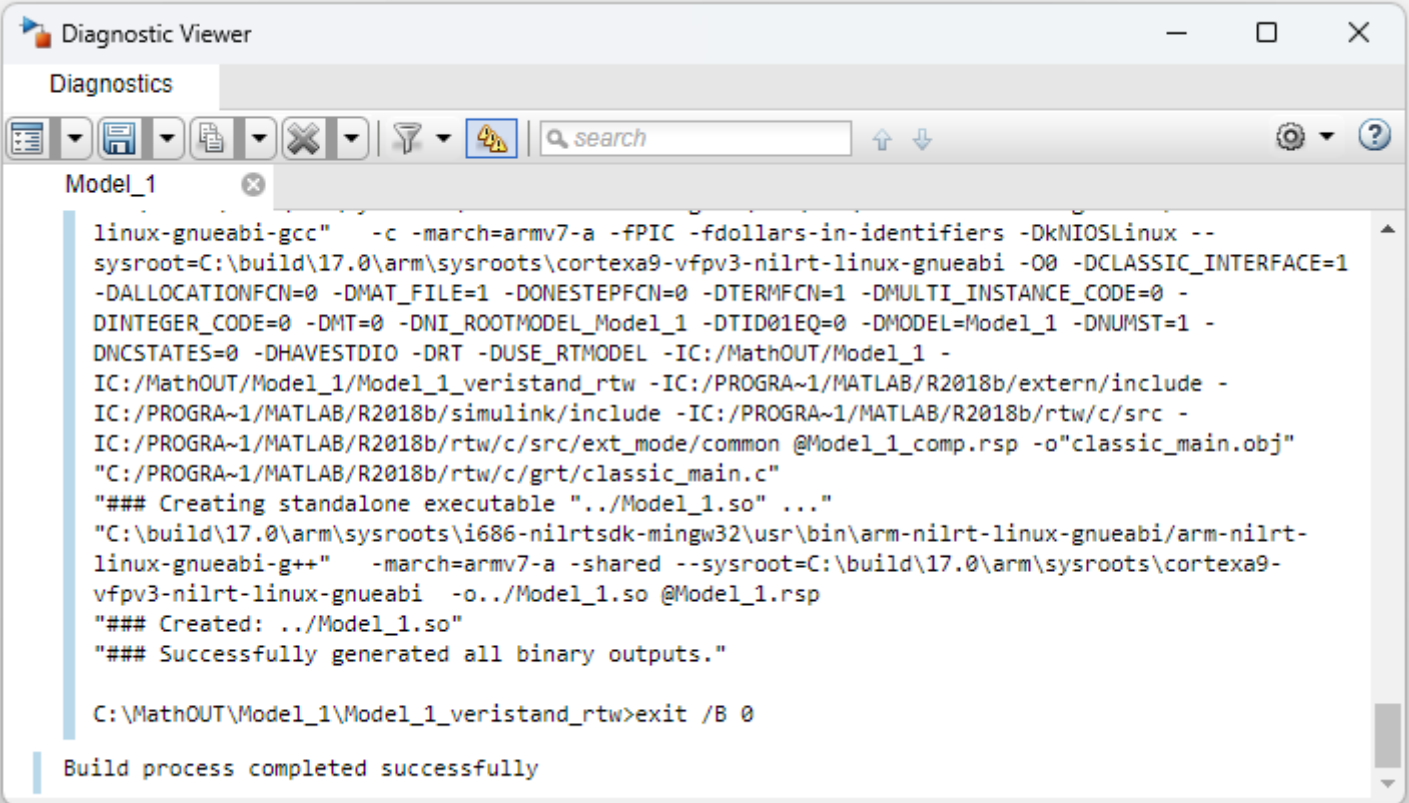
Parametrizarea modelului Simulink



Implementarea și compilarea modelului Simulink



Implementarea și compilarea modelului Simulink



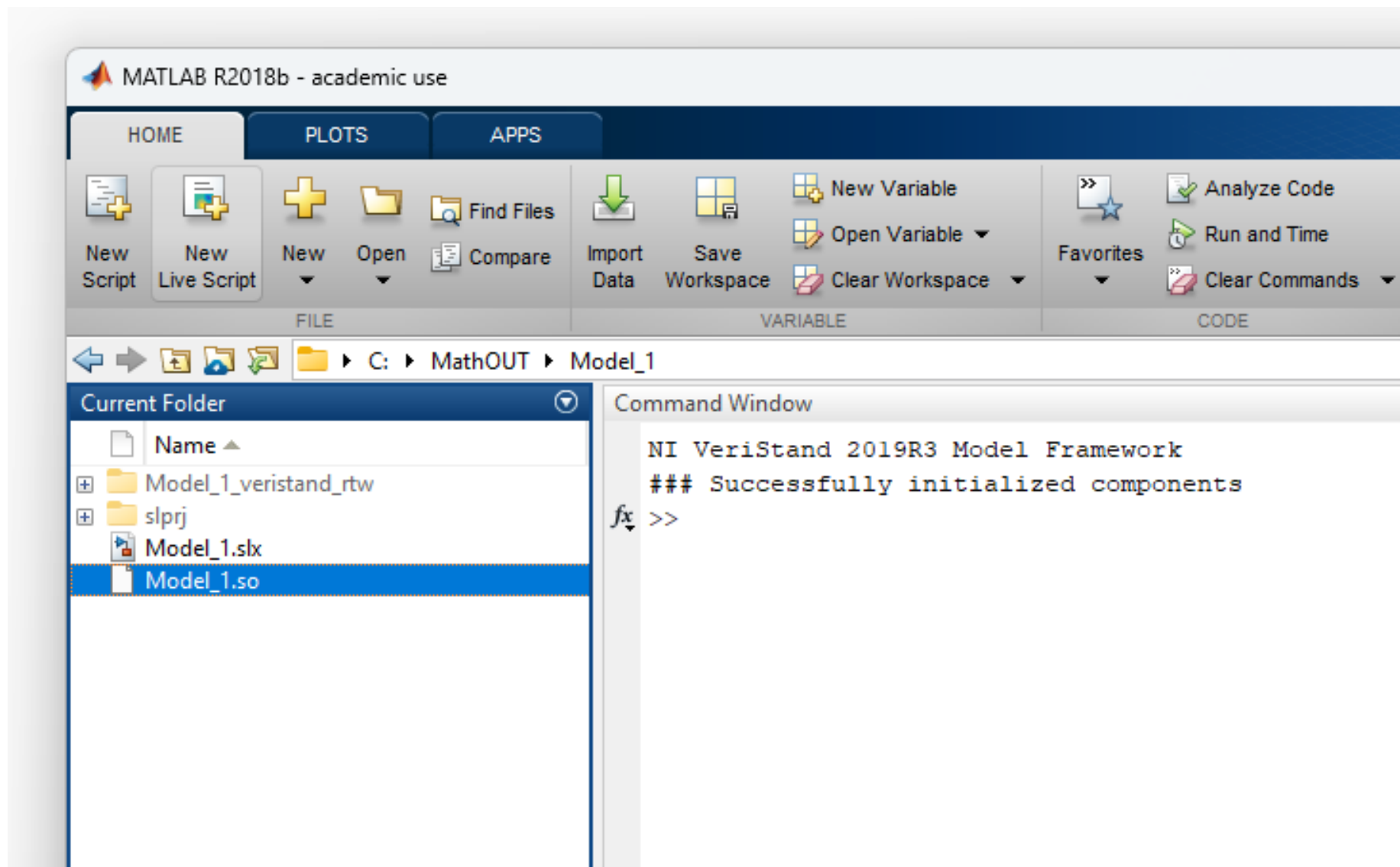
The image shows a 'Diagnostic Viewer' window with a 'Diagnostics' tab. It displays the compilation process for 'Model_1'. The output text includes compiler flags for 'linux-gnueabi-gcc', the system root path, and various compiler options. It shows the creation of a standalone executable 'Model_1.so' and the successful generation of all binary outputs. The process ends with a confirmation message: 'Build process completed successfully'.

```
Diagnostic Viewer
Diagnostics
Model_1
linux-gnueabi-gcc" -c -march=armv7-a -fPIC -fdollars-in-identifiers -DkNIOSLinux --
sysroot=C:\build\17.0\arm\sysroots\cortexa9-vfpv3-nilrt-linux-gnueabi -O0 -DCLASSIC_INTERFACE=1
-DALLOCATIONFCN=0 -DMAT_FILE=1 -DNESTEPFCN=0 -DTERMFCN=1 -DMULTI_INSTANCE_CODE=0 -
DINTEGER_CODE=0 -DMT=0 -DNI_ROOTMODEL_Model_1 -DTID01EQ=0 -DMODEL=Model_1 -DNUMST=1 -
DNCSTATES=0 -DHAVESTDIO -DRT -DUSE_RTMODEL -IC:/MathOUT/Model_1 -
IC:/MathOUT/Model_1/Model_1_veristand_rtw -IC:/PROGRA~1/MATLAB/R2018b/extern/include -
IC:/PROGRA~1/MATLAB/R2018b/simulink/include -IC:/PROGRA~1/MATLAB/R2018b/rtw/c/src -
IC:/PROGRA~1/MATLAB/R2018b/rtw/c/src/ext_mode/common @Model_1_comp.rsp -o"classic_main.obj"
"C:/PROGRA~1/MATLAB/R2018b/rtw/c/grt/classic_main.c"
"### Creating standalone executable "../Model_1.so" ..."
"C:\build\17.0\arm\sysroots\i686-nilrtsdk-mingw32\usr\bin\arm-nilrt-linux-gnueabi/arm-nilrt-
linux-gnueabi-g++" -march=armv7-a -shared --sysroot=C:\build\17.0\arm\sysroots\cortexa9-
vfpv3-nilrt-linux-gnueabi -o../Model_1.so @Model_1.rsp
"### Created: ../Model_1.so"
"### Successfully generated all binary outputs."

C:\MathOUT\Model_1\Model_1_veristand_rtw>exit /B 0

Build process completed successfully
```

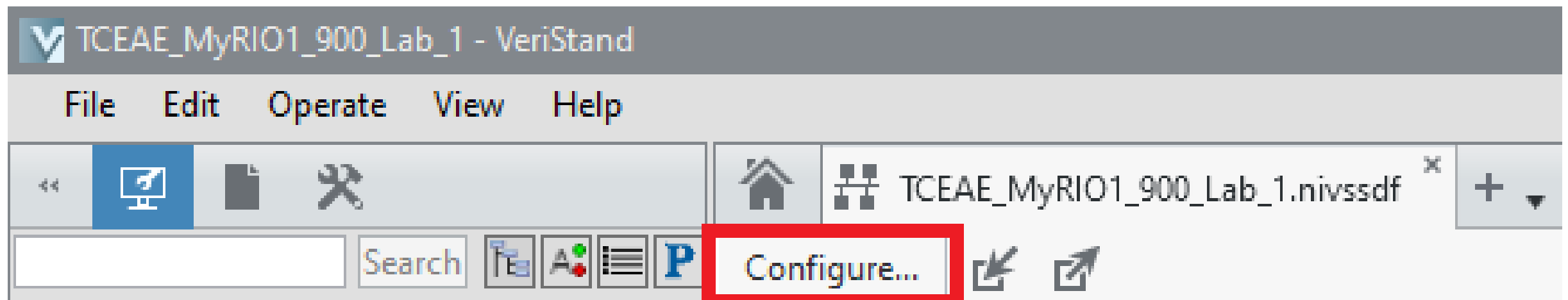
Fișierul rezultat cu extensia „.so”



Prezentarea procedurii de integrare a modelelor Simulink în VeriStand

- ❖ Scopul integrării modelelor Simulink în cadrul mediului VeriStand este cel de a permite interacțiunea aparatului matematic cu resursele fizice ale unui sistem de calcul (în cazul de față intrări ieșiri digitale sau analogice ale platformei de dezvoltare NI MyRIO 1900)
- ❖ Pentru a realiza legătura între modelul Simulink și resursele fizice ale platformei de dezvoltare este necesară parcurgerea procedurii de inițializare a sistemului de calcul în cadrul mediului VeriStand (eng. Hardware Discovery Wizard)
- ❖ De asemenea, va fi necesară realizarea operației de importare a fișierului de definiție și reconfigurare pentru procesorul logic FPGA al platformei de dezvoltare NI MyRIO
- ❖ Astfel, din fereastra de dialog „System Explorer”, se va alege sub-categoria „Controller”, iar în partea dreaptă se vor configura următorii parametri:
 - ✓ Operating System: Linux_32_ARM;
 - ✓ IP Address: 172.22.11.2;
 - ✓ Username: admin
 - ✓ DAQ DIO Rate: 1000 [Hz];
 - ✓ Target Rate: 1000 [Hz];

Alegerea opțiunii „Configure...”



Fereastra de dialog „System Explorer” – secțiunea „Controller”

System Explorer - TCEAE_MyRIO1_900_Lab_1.nivssdf*

File Edit Tools Help

Hardware Discovery Wizard

TCEAE_MyRIO1_900_Lab_1

- Targets
 - Controller**
 - Hardware
 - Chassis
 - DAQ
 - Data Sharing
 - FPGA
 - NI-XNET
 - Timing and Sync
 - SLSC
 - Custom Devices
 - Simulation Models
 - User Channels
 - Calculated Channels
 - Stimulus
 - Alarms
 - Procedures
 - XNET Databases
 - System Channels
 - Aliases
 - Scales
 - System Mappings
 - Data Sharing Network
 - System Initialization

Target Specification

Name: Controller

Operating System: Linux_32_ARM

IP Address: 172.22.11.2

Target Credentials

Username: admin

Password:

Processor Assignments

Primary Control Loop mode: Automatic Processor: -2

Data Processing Loop mode: Automatic Processor: -2

Target Decimations

Data Processing Loop: 1

Other Settings

Maximum streamed channels: 512 Execution: Parallel

☒ Filter DAQ Errors ☐ Filter Watchdog Errors

FPGA / Scan interface mode: Use current

DAQ DIO Rate: 1000 Hz

Warmup Time: 2 sec

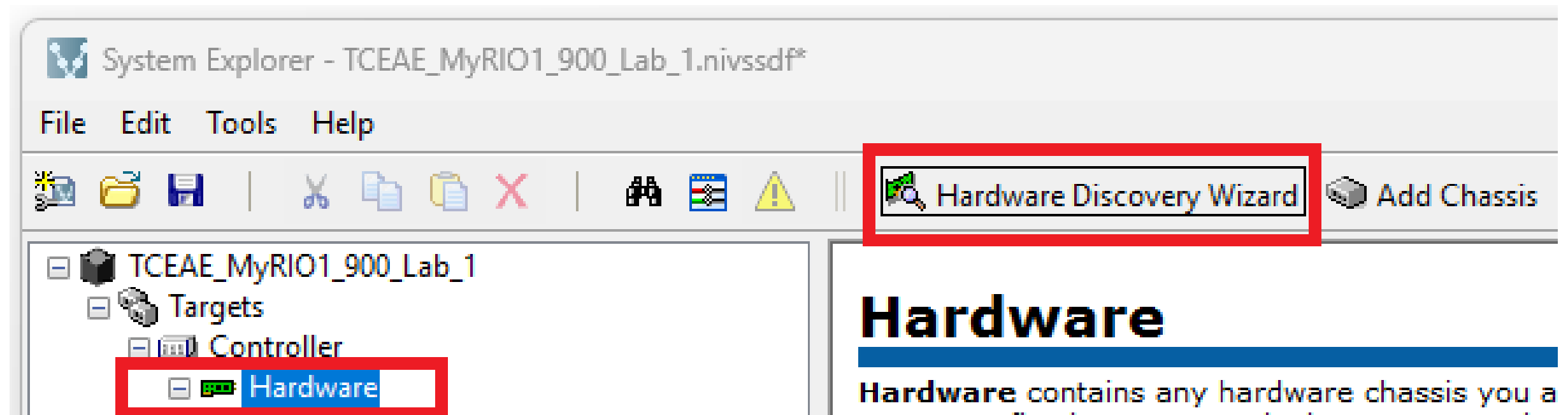
Timing Source Settings

Primary Control Loop timing source: Automatic Timing

Target Rate: 1000 Hz

Timing Source Timeout: 120 sec

Alegerea sub-categoriei „Hardware” și opțiunea „Hardware Discovery Wizard”



Adăugarea în proiect a nucleului FPGA identificat

 Step 2 of 4: Match Hardware to System Explorer Nodes



Discovered Hardware

 Controller



 : myRIO-1900 "RIO0"

System Explorer Nodes

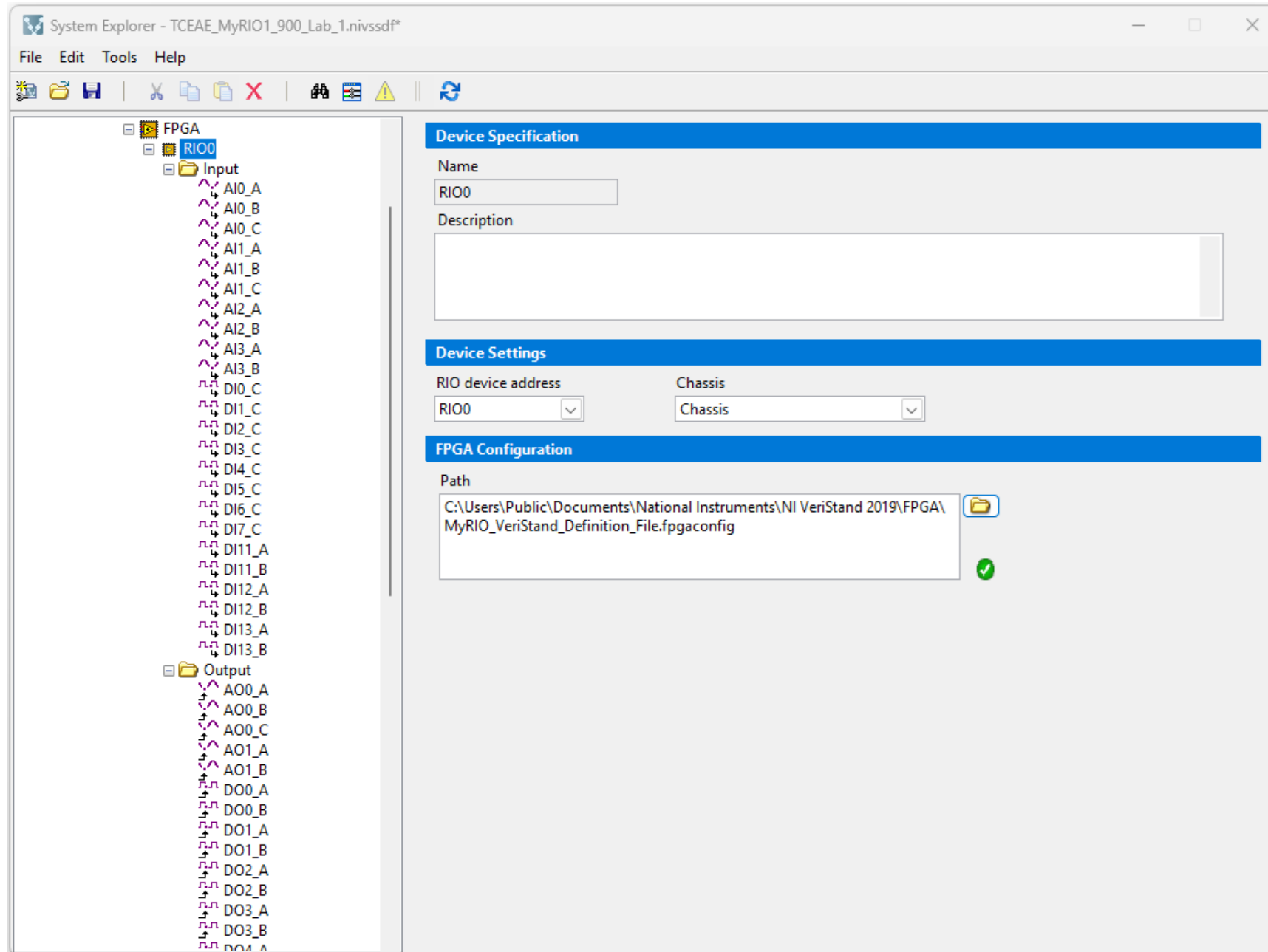
Chassis

<Add New>

Description:

This page shows the hardware devices discovered under each target.

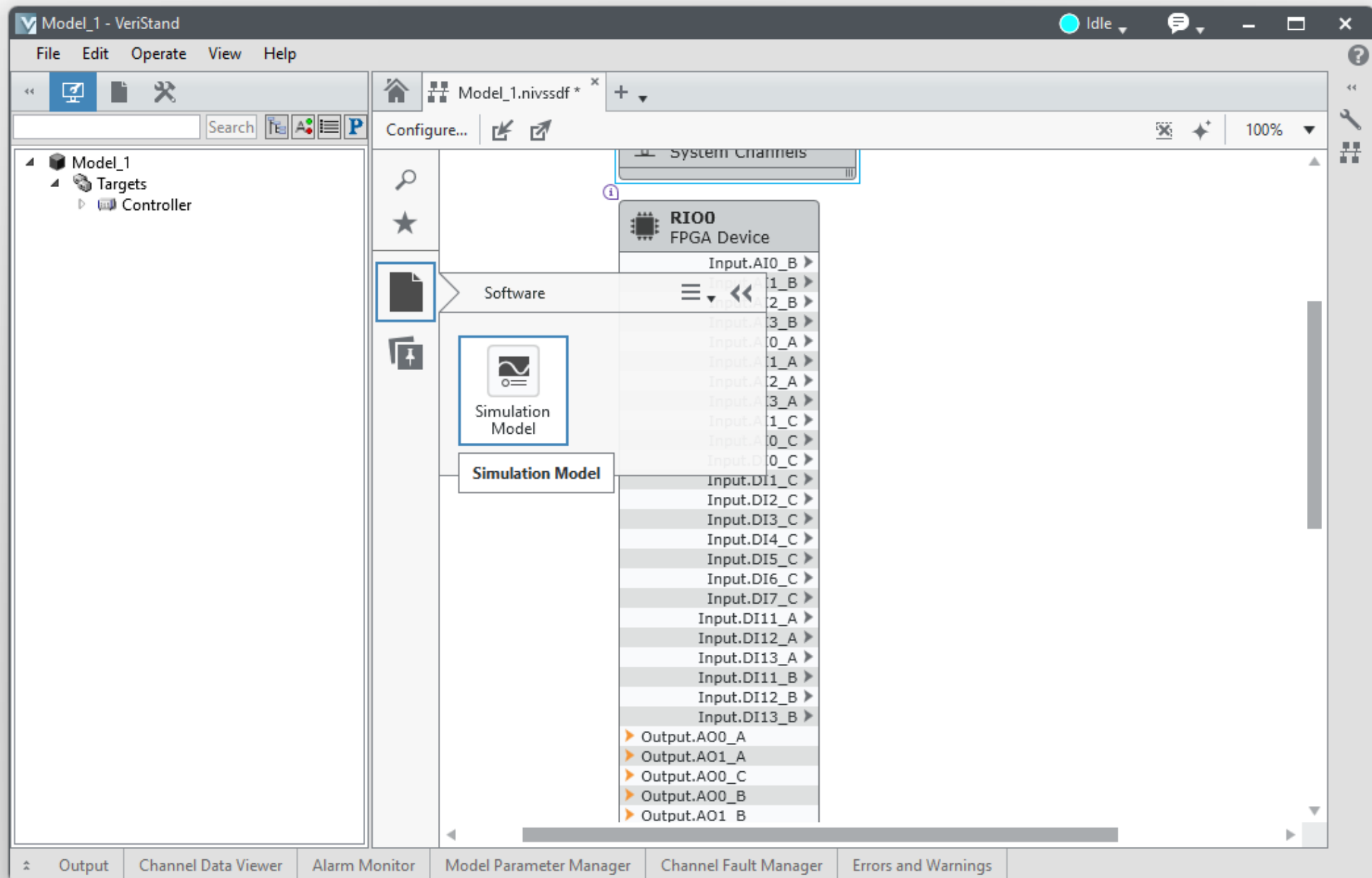
Încărcarea fișierului de configurare pentru FPGA (bitstream)



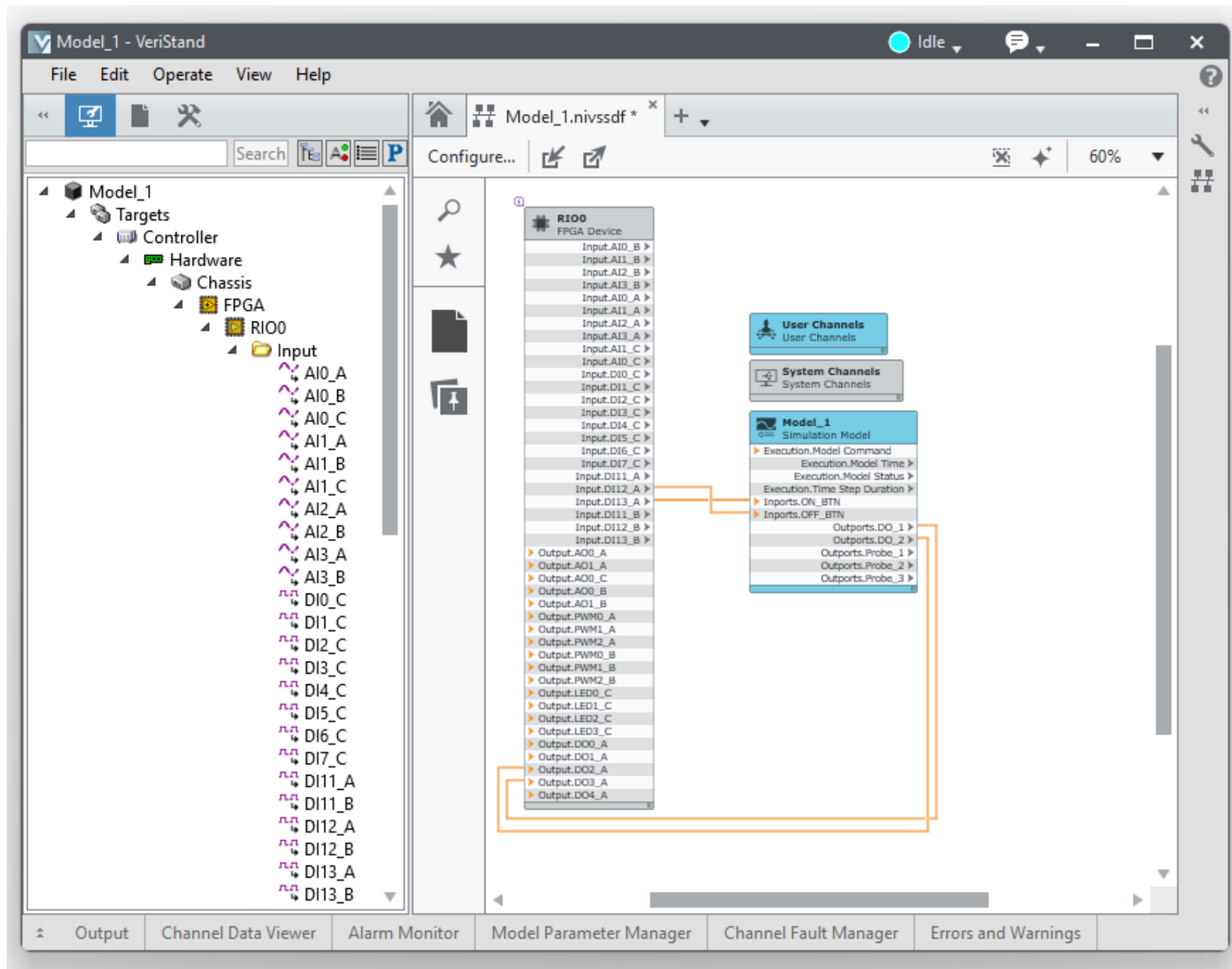
Prezentarea procedurii de integrare a modelelor Simulink în VeriStand

- ❖ În urma inițializării sistemului de calcul în cadrul mediului VeriStand, din fereastra de definire a legăturilor dintre componentele proiectului (eng. VeriStand Definition) se va alege opțiunea „Software” (iconița unei file) iar apoi „Simulation Model”
- ❖ Se va naviga înspre calea de acces (eng. path) sau locația fișierului „.so” generat de către mediul Matlab Simulink, și se va alege ca și model de referință prin importarea acestuia în mediul VeriStand
- ❖ Odată importat în mediul VeriStand modelul Simulink va fi reprezentat prin intermediul unui sub-sistem cu mai multe intrări și ieșiri
- ❖ Pentru a realiza legăturile între resursele fizice (disponibile prin intermediul blocului FPGA) și resursele logice (disponibile prin intermediul porturilor de intrare sau ieșire din model) se vor asocia astfel porturile de intrare sau ieșire (conform necesităților) prin intermediul conectorului virtual de culoare portocalie

Importarea fișierului rezultat „.so” în mediul NI VeriStand



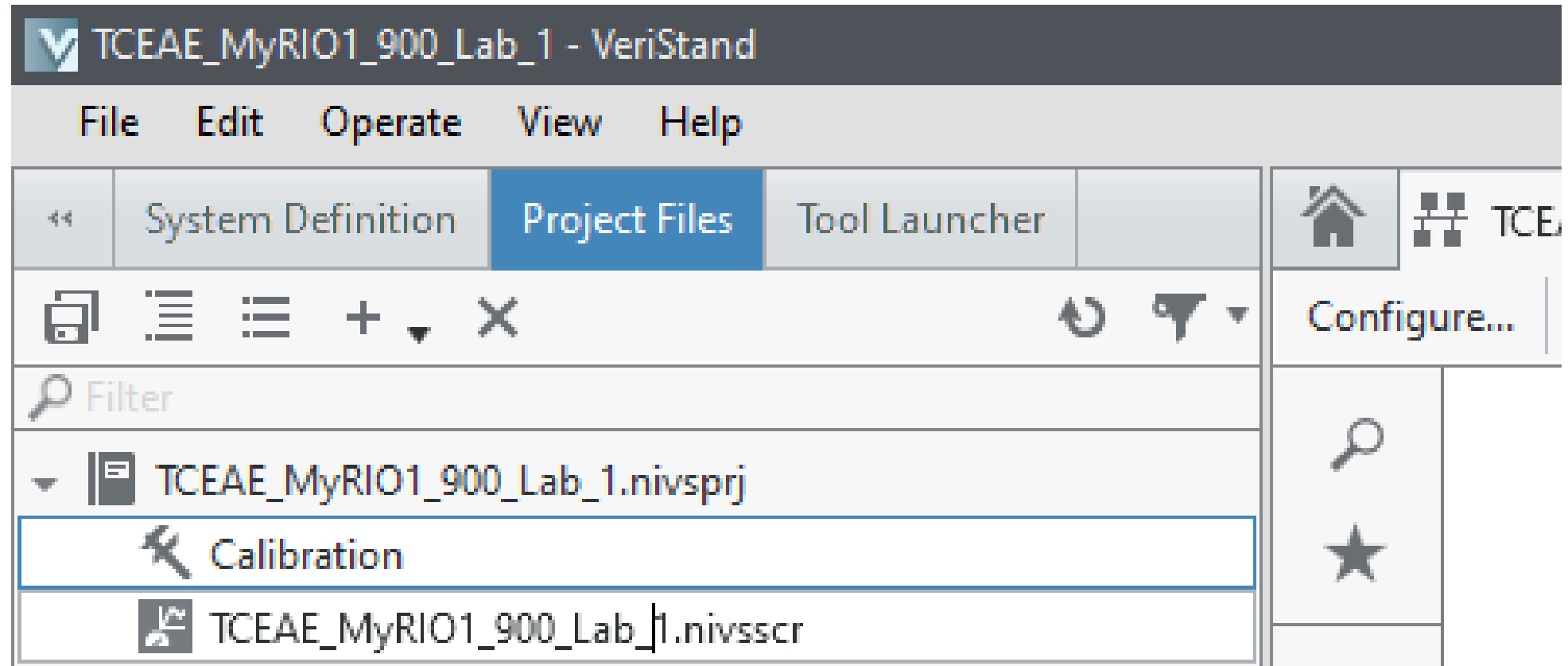
Conectarea modelului Simulink la resursele fizice din VeriStand



Prezentarea procedurii de integrare a modelelor Simulink în VeriStand

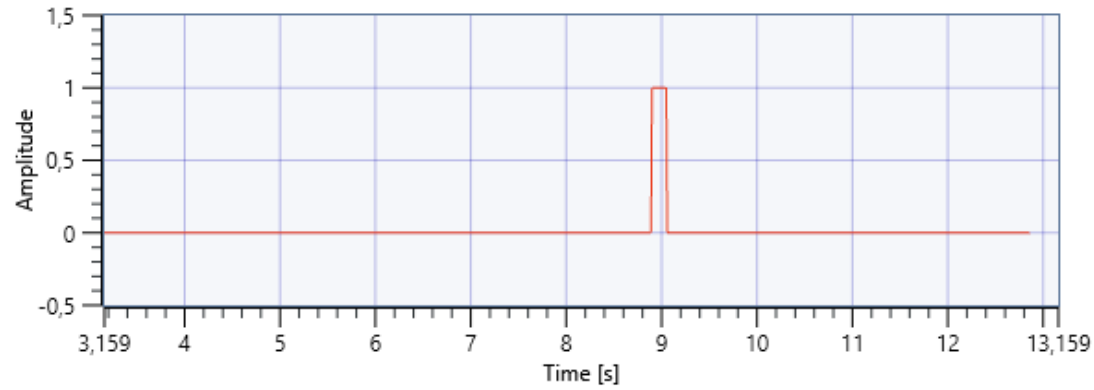
- ❖ În urma importării modelului Simulink în cadrul mediului VeriStand se va realiza panoul frontal al aplicației finale
- ❖ Această operație se va realiza prin alegerea fișierului cu extensia „.nivsscr” din cadrul secțiunii „Project Files”
- ❖ Se vor utiliza elementele grafice interactive disponibile în paleta de instrumente ale mediului VeriStand

Deschiderea panoului frontal



Panoul frontal specific aplicației implementate

Probe_1

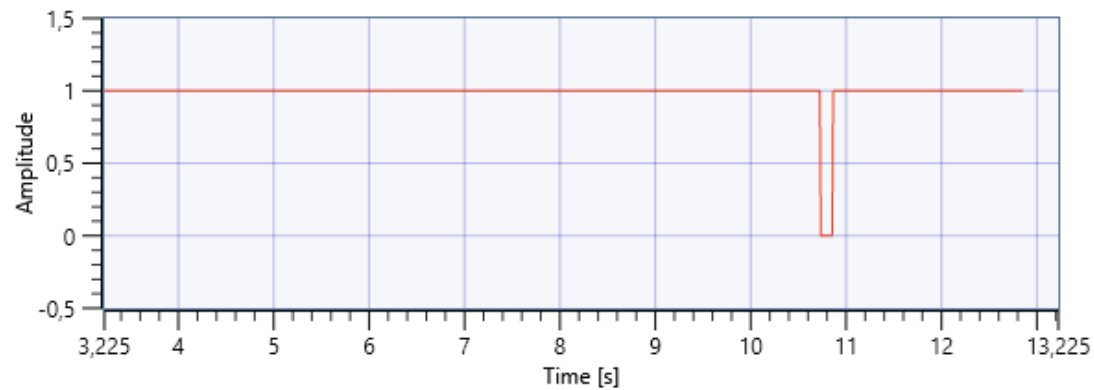


Probe_1

DO_1 DO_2

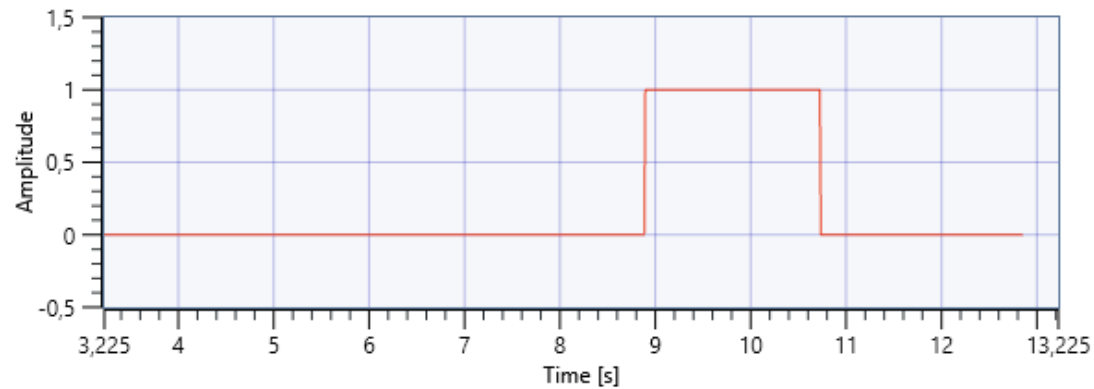


Probe_2



Probe_2

Probe_3



Probe_3

Modul de funcționare al aplicației finale



Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

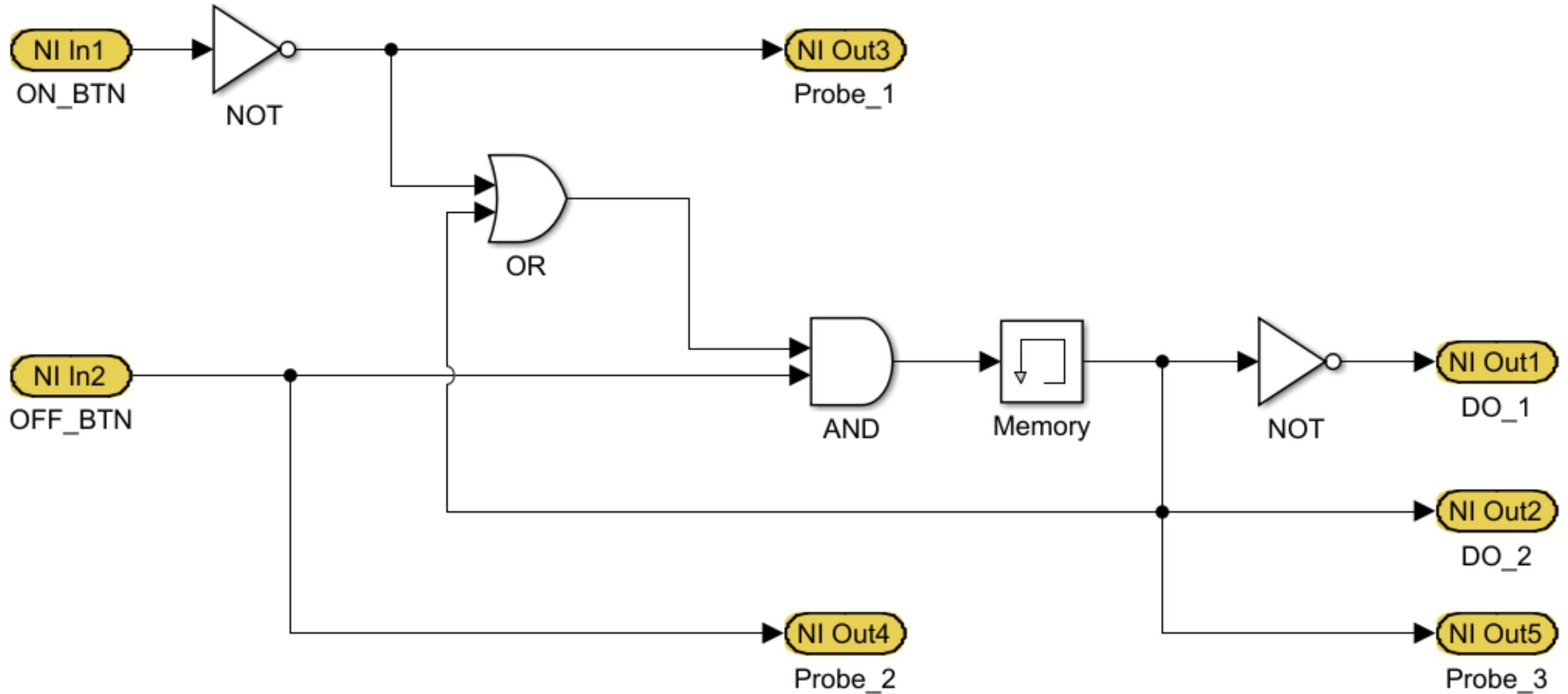
- ❖ Se propune implementare următoarelor aplicații:
- ✓ Auto-menținerea stării logice în cazul butoanelor cu apăsare și revenire
- ✓ Manipularea pozițională a informației într-un șir de date binar
- ✓ Acționarea afișajului cu șapte segmente prin intermediul tabelelor asociative
- ✓ Decodarea informației binare provenită de la opt intrări digitale
- ✓ Preluarea semnalului analogic de la potențiometrul rotativ
- ✓ Preluarea semnalului analogic de la fotorezistența LDR-07

Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

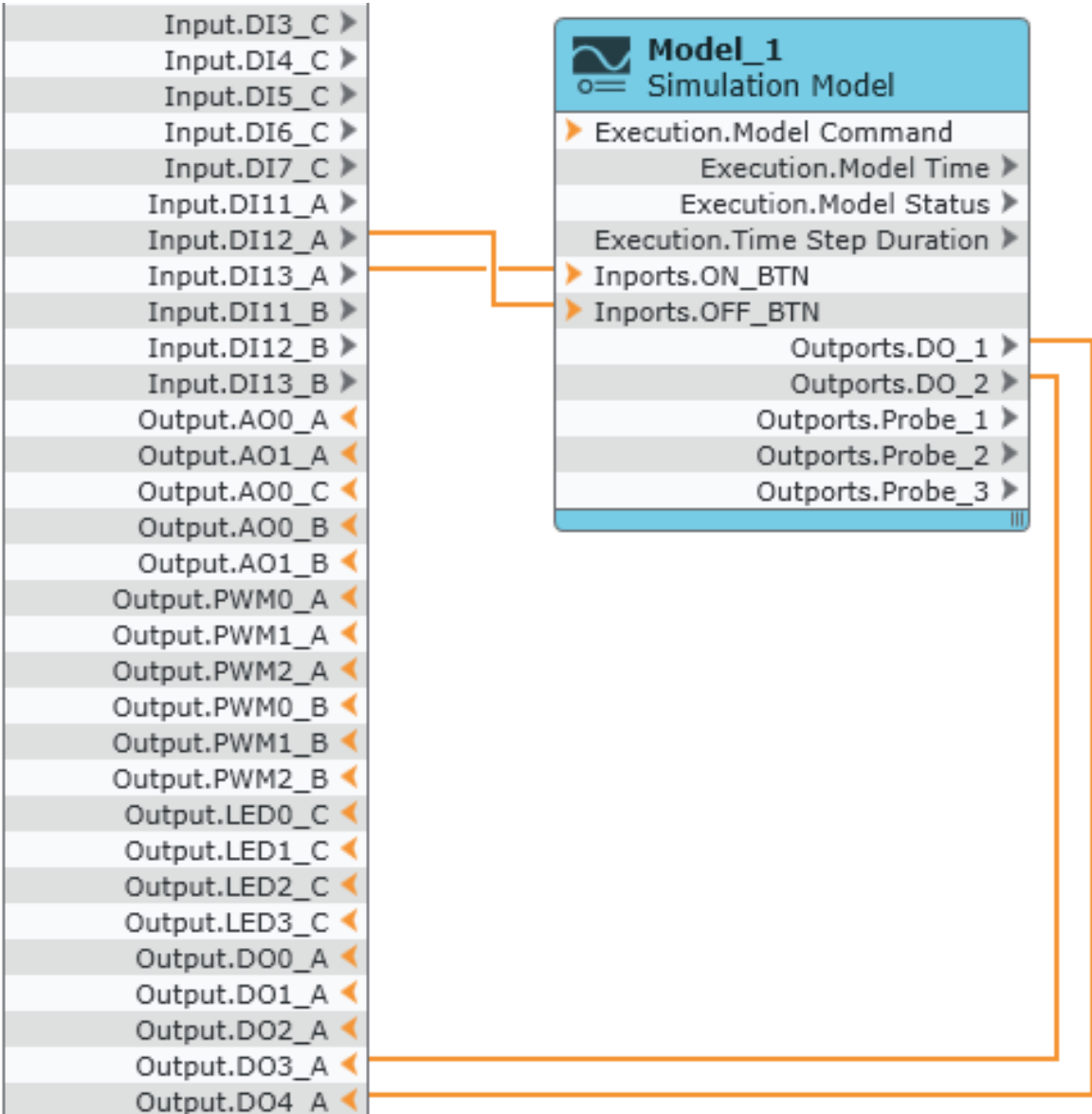
❖ În cadrul aplicației nr. 1:

- ✓ Se realizează auto-menținerea stării semnalului digital provenit de la butoanele cu apăsare și revenire din cadrul plăcuței modulare nr. 1
- ✓ Se va semnaliza modificarea stării logice rezultante prin intermediul a doi indicatori luminoși LED din cadrul plăcuței modulare nr. 1
- ✓ Variația în timp a semnalelor implicate în model va fi afișată în cadrul panoului frontal prin intermediul graficelor și a elementelor indicatoare

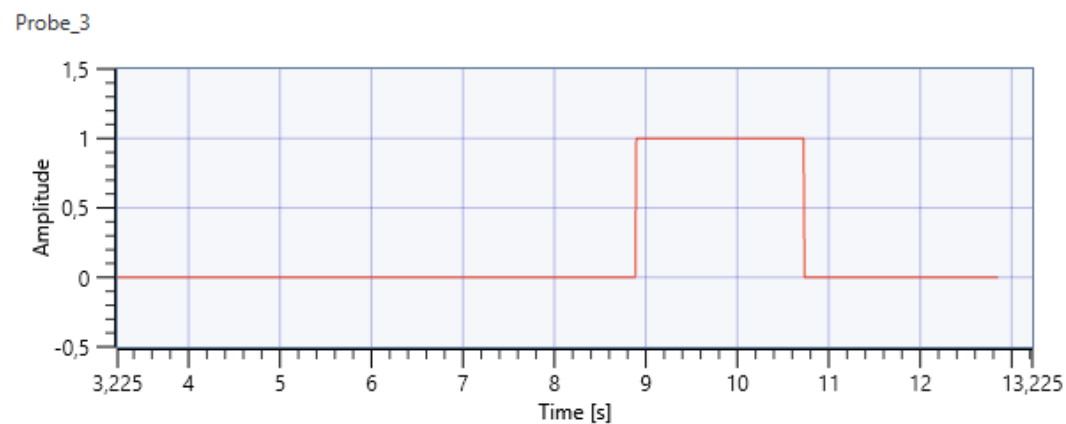
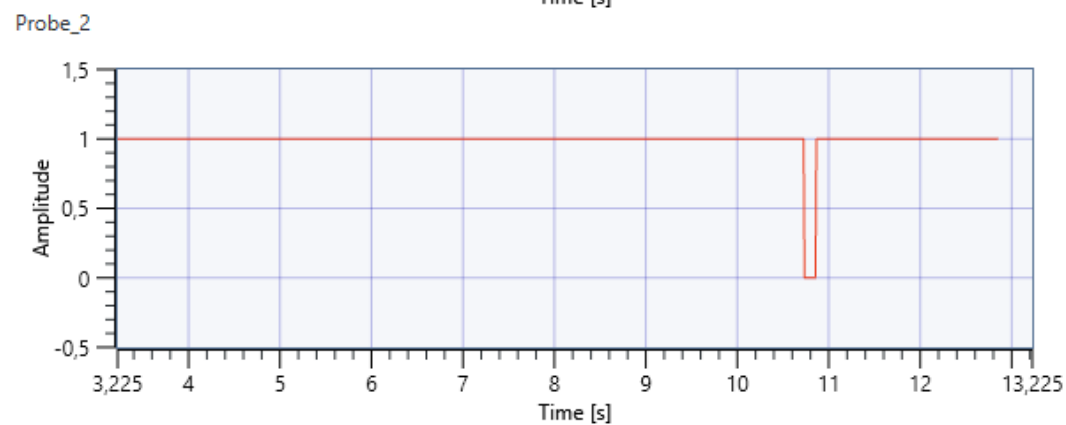
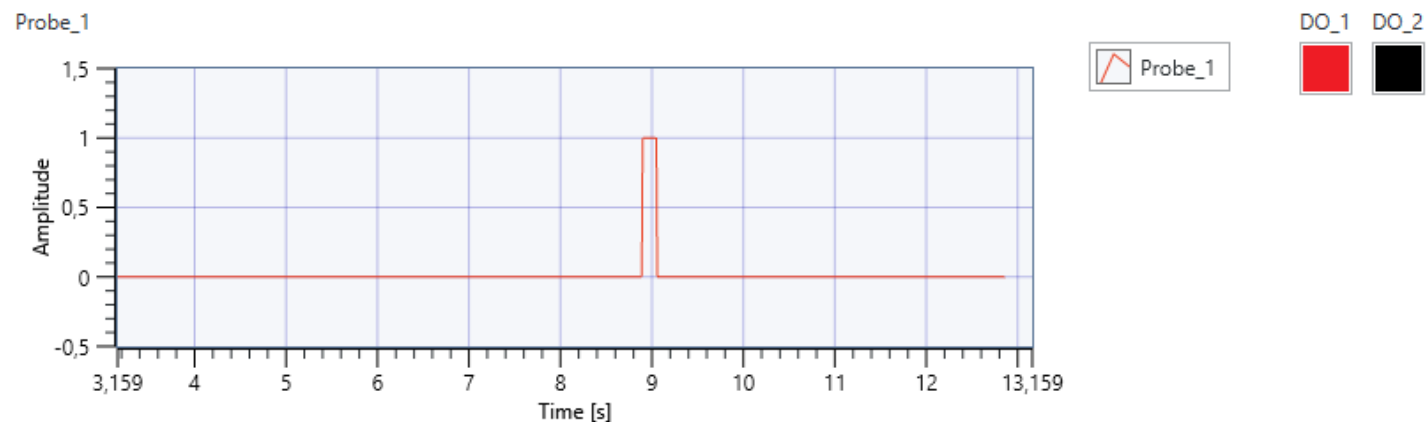
Modelul Simulink specific aplicației nr. 1



Alocarea resurselor în cadrul mediului VeriStand pentru aplicația nr. 1



Panoul frontal în cadrul mediului VeriStand pentru aplicația nr. 1



Modul de funcționare al aplicației nr. 1

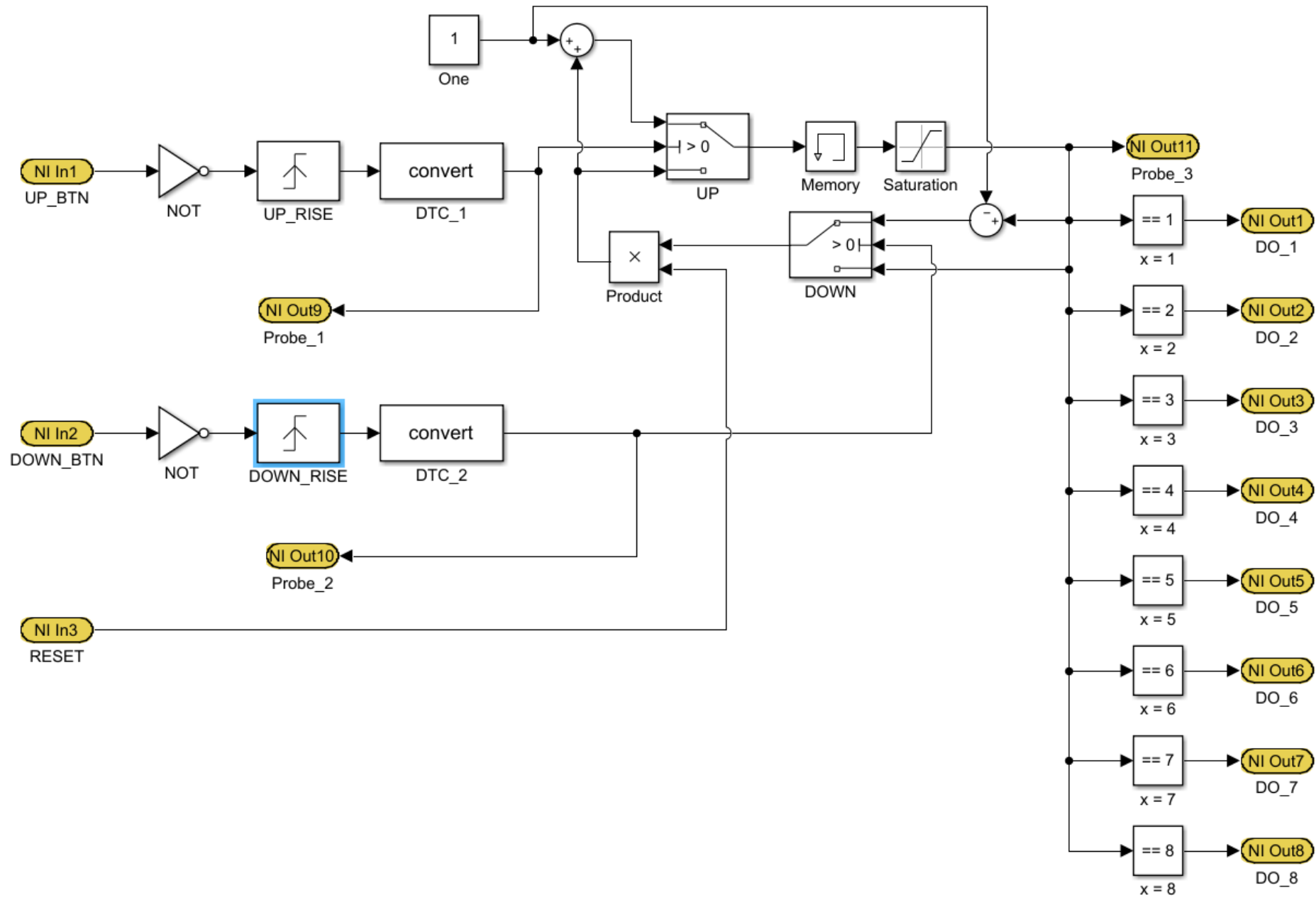


Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

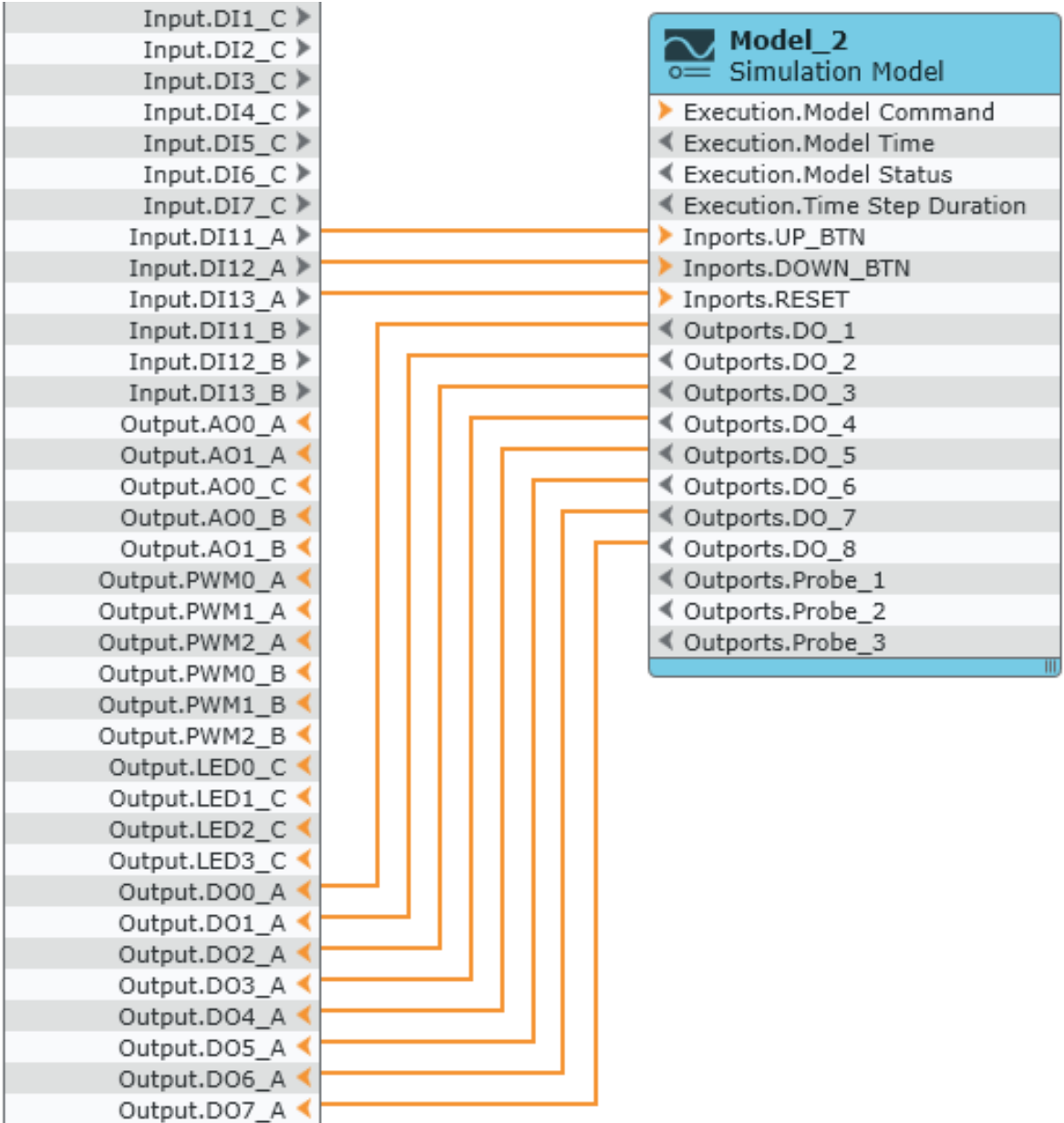
❖ În cadrul aplicației nr. 2:

- ✓ Se realizează operația binară de deplasare (eng. bit-shifting) la stânga sau la dreapta în cadrul unui șir binar
- ✓ Șirul binar este reprezentat prin intermediul coloanei de indicatori luminoși
- ✓ Operația de incrementare și decrementare se realizează prin intermediul butoanelor cu apăsare și revenire din cadrul plăcuței nr. 1
- ✓ Afișarea rezultatelor se va realiza atât fizic cât și virtual prin intermediul elementelor din cadrul panoului frontal VeriStand

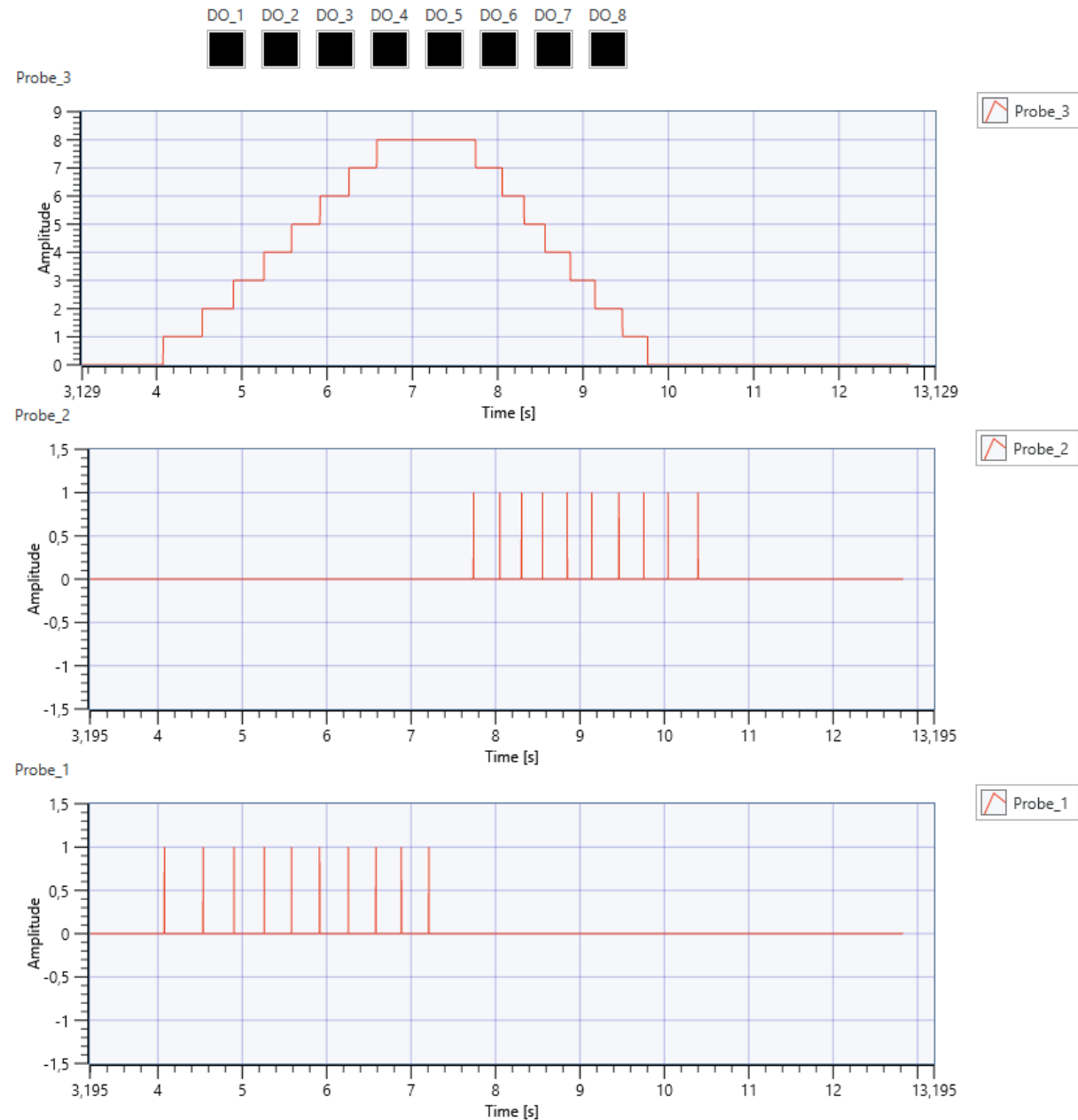
Modelul Simulink specific aplicației nr. 2



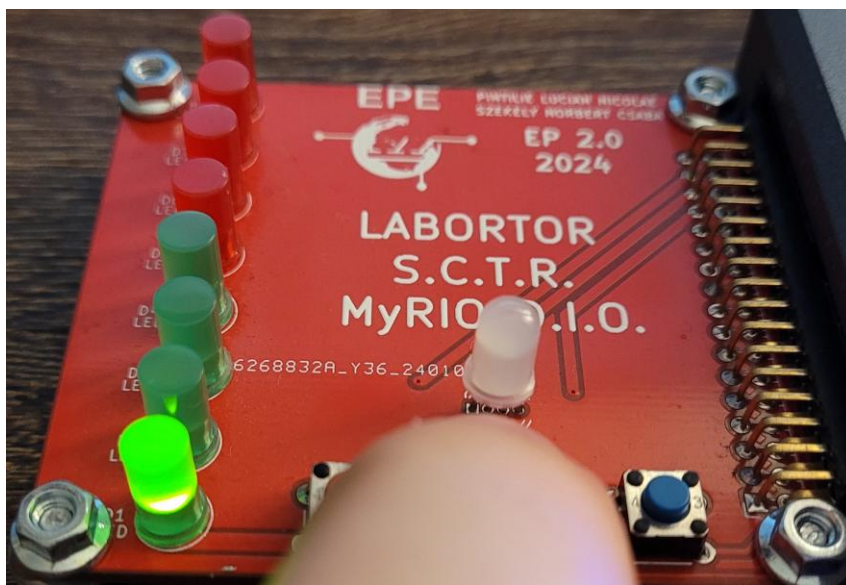
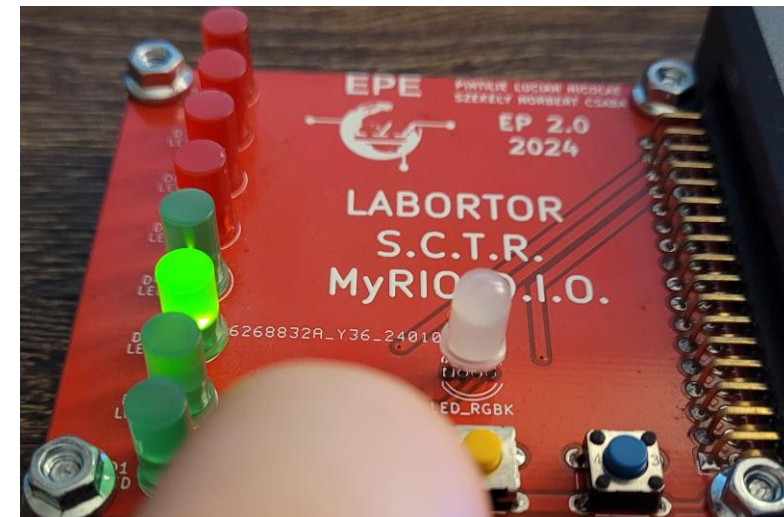
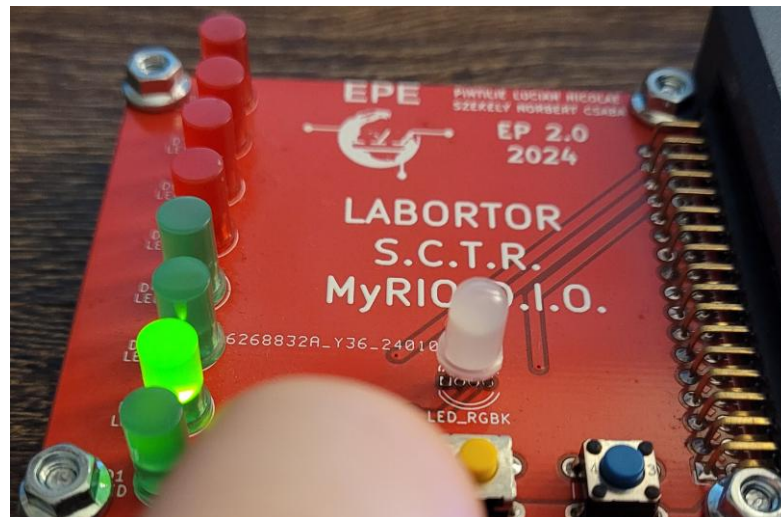
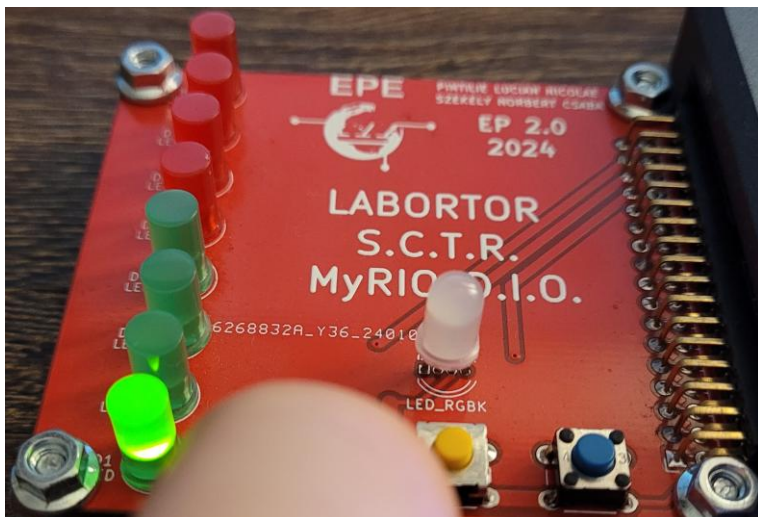
Alocarea resurselor în cadrul mediului VeriStand pentru aplicația nr. 2



Panoul frontal în cadrul mediului VeriStand pentru aplicația nr. 2



Modul de funcționare al aplicației nr. 2



Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

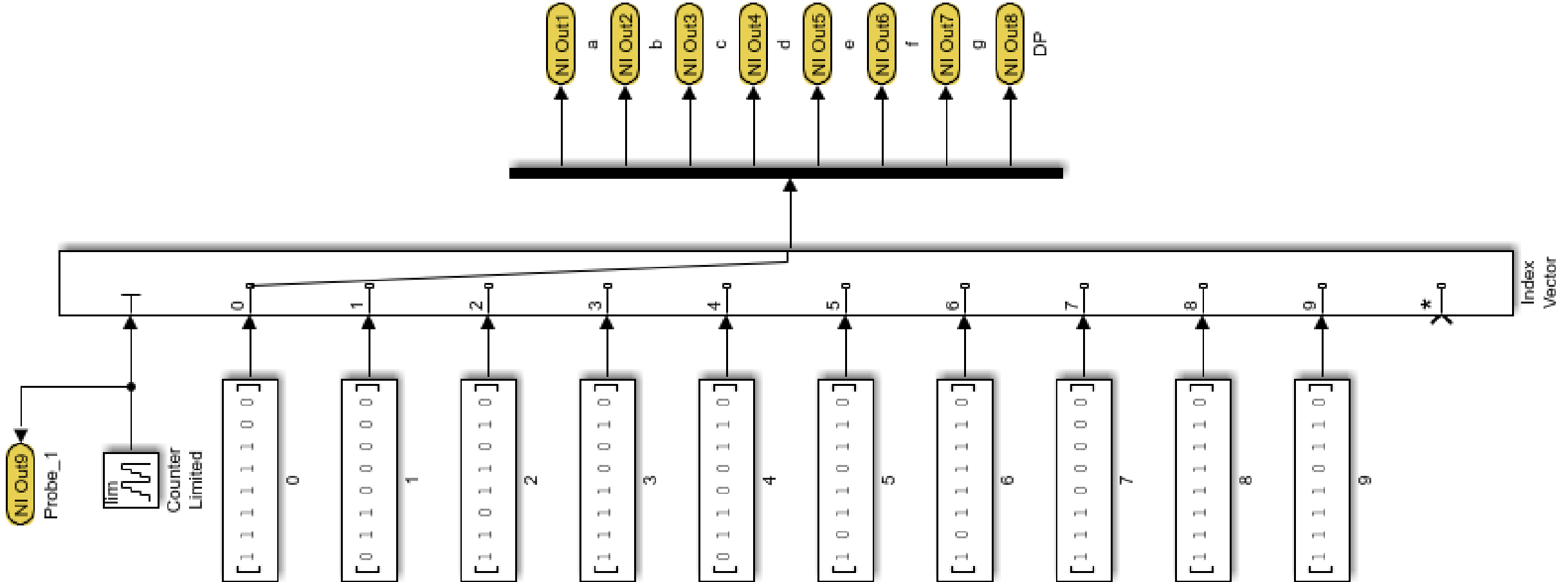
- ❖ În cadrul aplicației nr. 3:
 - ✓ Se vor contura caracterele de la zero la nouă prin intermediul afișajului cu șapte segmente din cadrul plăcuței modulare nr. 2
 - ✓ Sursa de semnal poate fi atât un numărător programabil cât și modelul aplicației nr. 2 de incrementare sau decrementare pe baza butoanelor cu apăsare și revenire din cadrul plăcuței modulare nr. 1
 - ✓ Decodarea secvențelor binare se va realiza prin intermediul tabelelor asociative (eng. Look-Up Tables LUT) implementate în acest model ca și vectori liniari a câte opt biți

Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

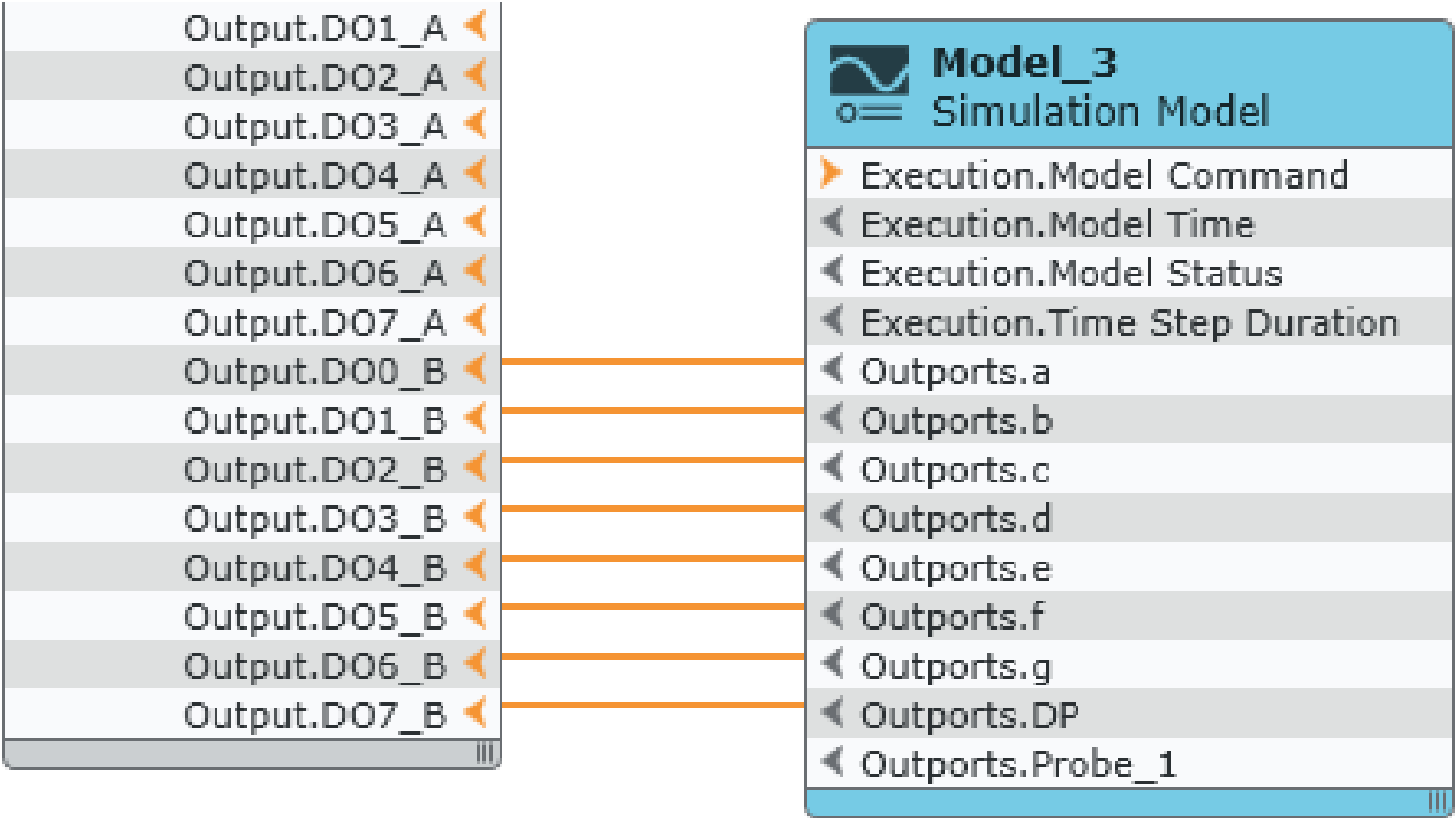
❖ Prin intermediul tabelului de mai jos se vor exprima secvențele binare pentru conturarea caracterelor prin intermediul afișajului cu 7 segmente:

Zecimal	a	b	c	d	e	f	g	DP
0	1	1	1	1	1	1	0	0
1	0	1	1	0	0	0	0	0
2	1	1	0	1	1	0	1	0
3	1	1	1	1	0	0	1	0
4	0	1	1	0	0	1	1	0
5	1	0	1	1	0	1	1	0
6	1	0	1	1	1	1	1	0
7	1	1	1	0	0	0	0	0
8	1	1	1	1	1	1	1	0
9	1	1	1	1	0	1	1	0

Modelul Simulink specific aplicației nr. 3

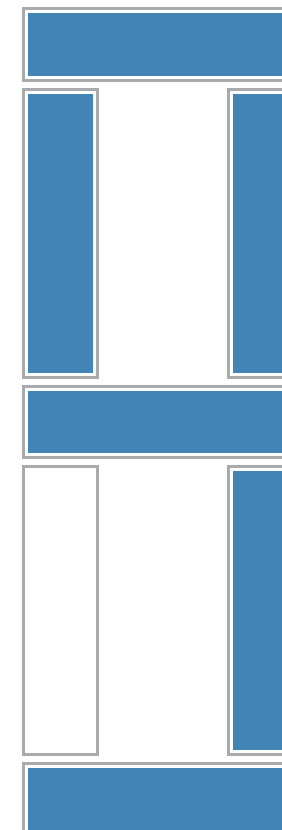
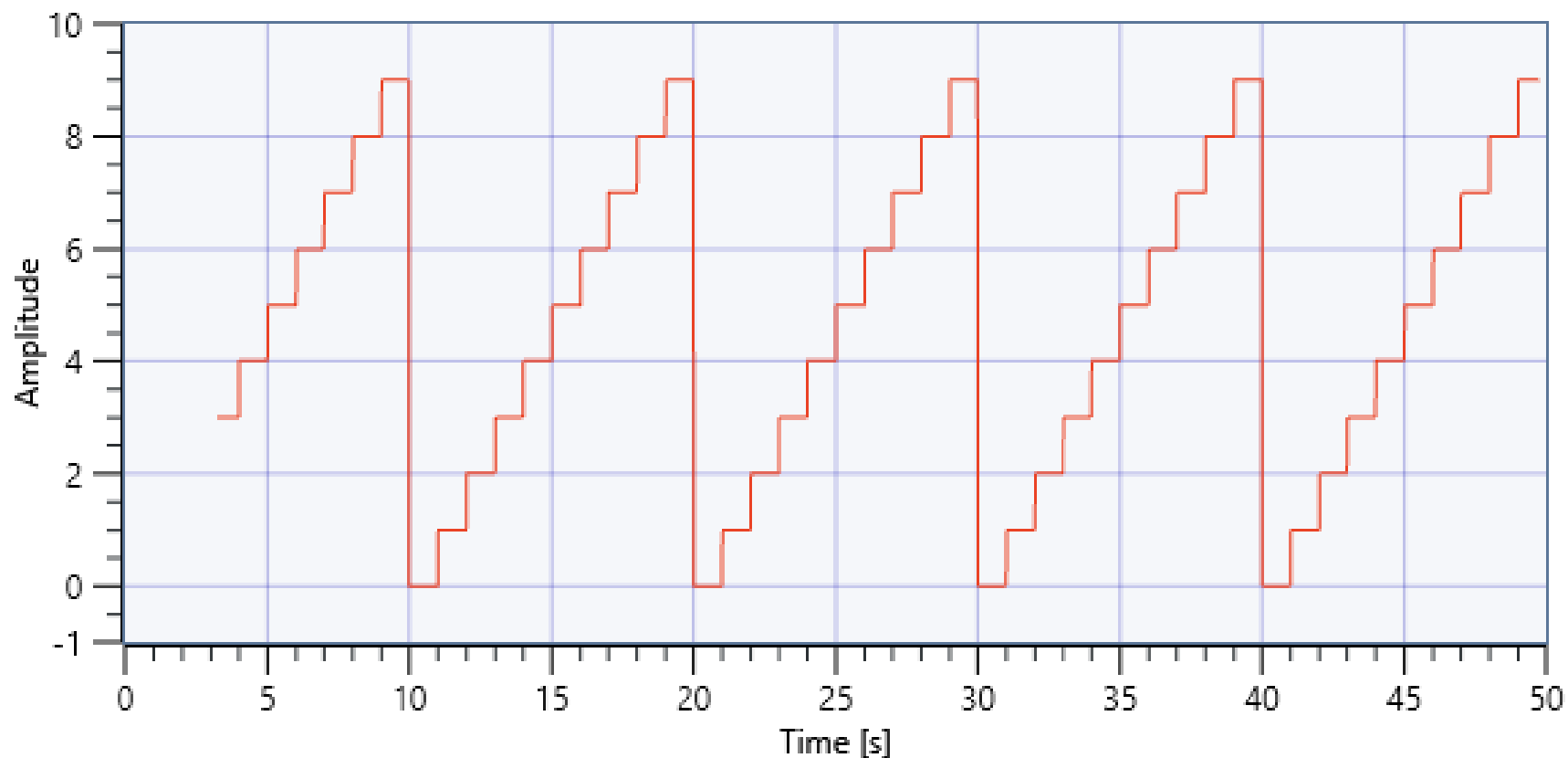


Alocarea resurselor în cadrul mediului VeriStand pentru aplicația nr. 3

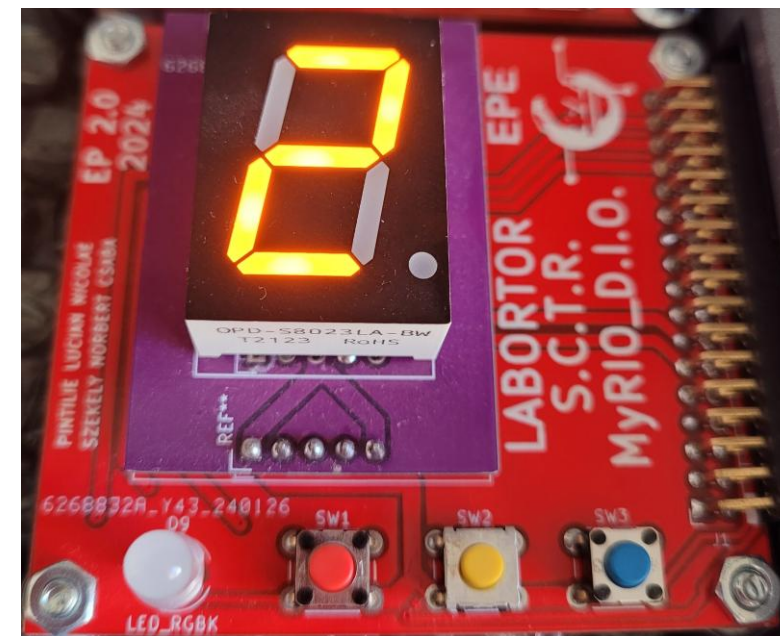
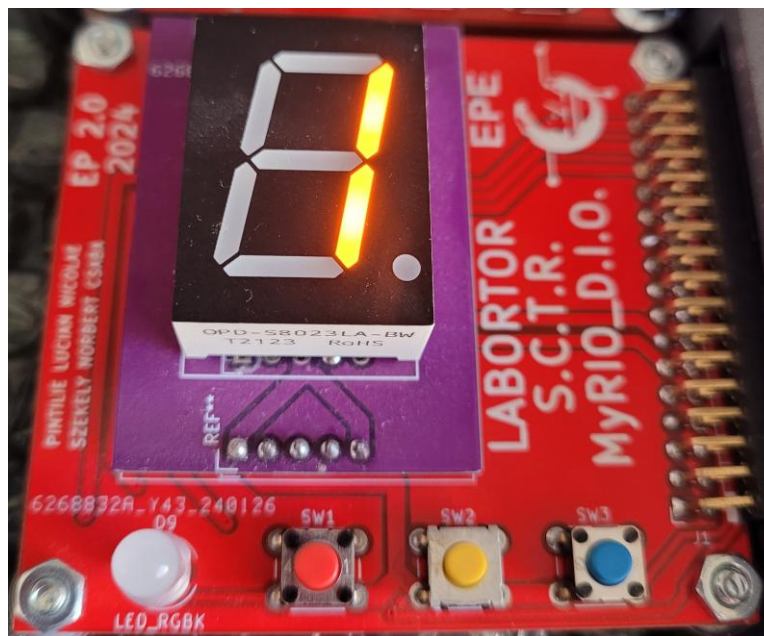
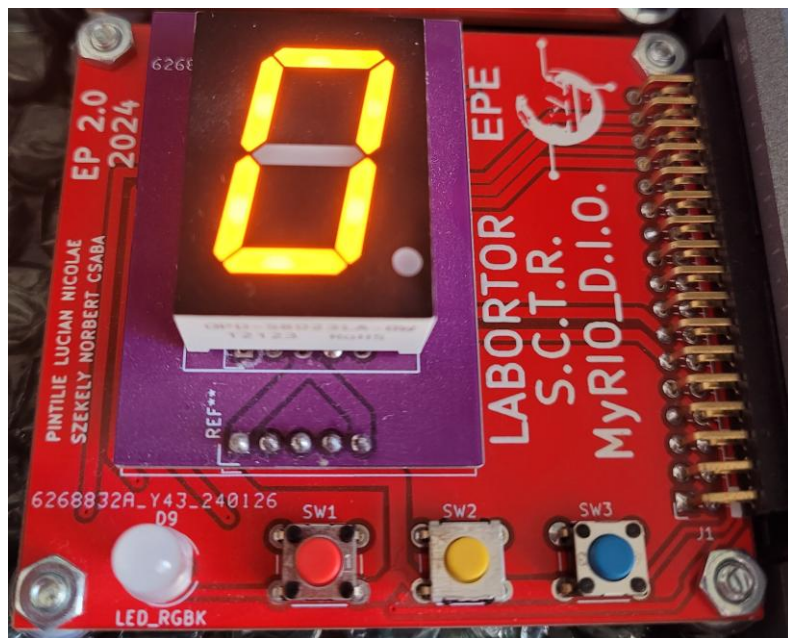


Panoul frontal în cadrul mediului VeriStand pentru aplicația nr. 3

Probe 1



Modul de funcționare al aplicației nr. 3



Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

❖ În cadrul aplicației nr. 4:

- ✓ Se va înregistra și decoda informația binară provenită de la un șir de opt comutatoare cu pârghie și automenținere mecanică din cadrul plăcuței modulare nr. 3
- ✓ Plăcuța modulară nr. 3 se va atașa la platforma de dezvoltare prin intermediul conectorului MSP
- ✓ Decodarea combinațiilor binare se va realiza prin intermediul polinomului ponderat al puterilor lui „2”

Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

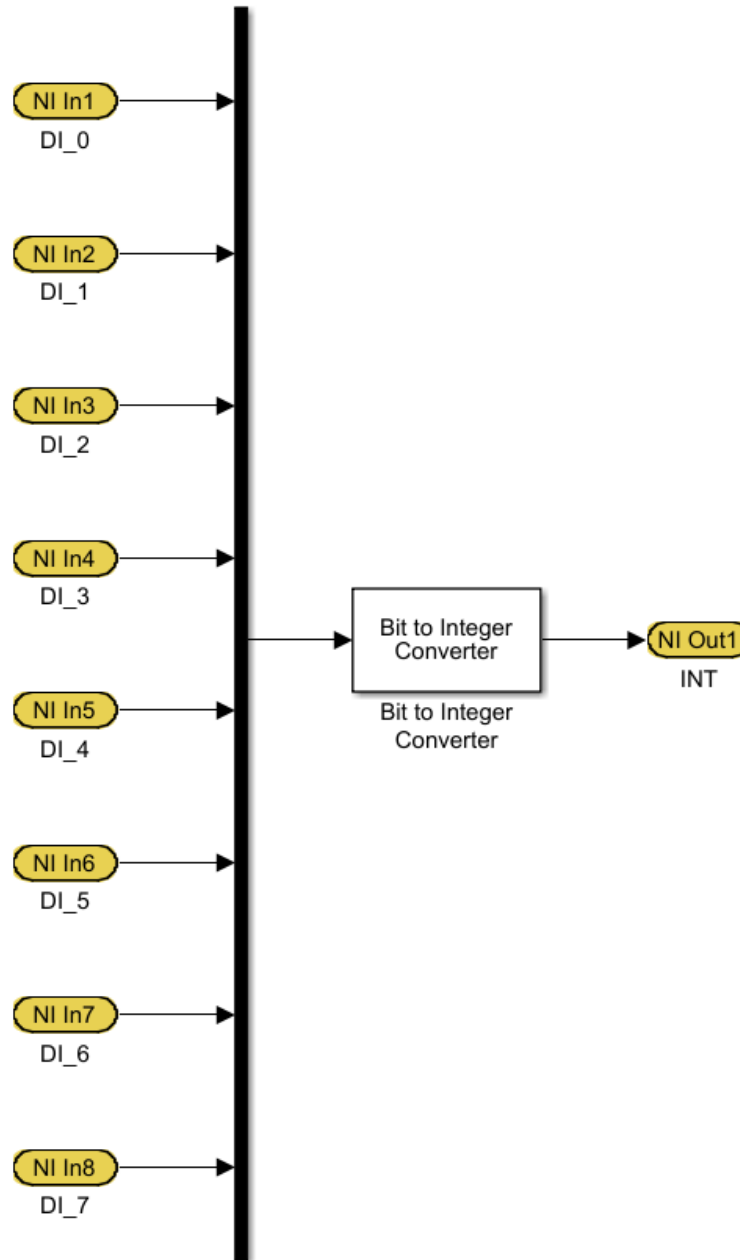
❖ Expresia de conversie din binar în zecimal poate fi redată astfel:

$$X_{(z)n} = \sum_{\substack{i=1 \\ i \leq n}}^n b_{n-i} \cdot z^{n-i}$$

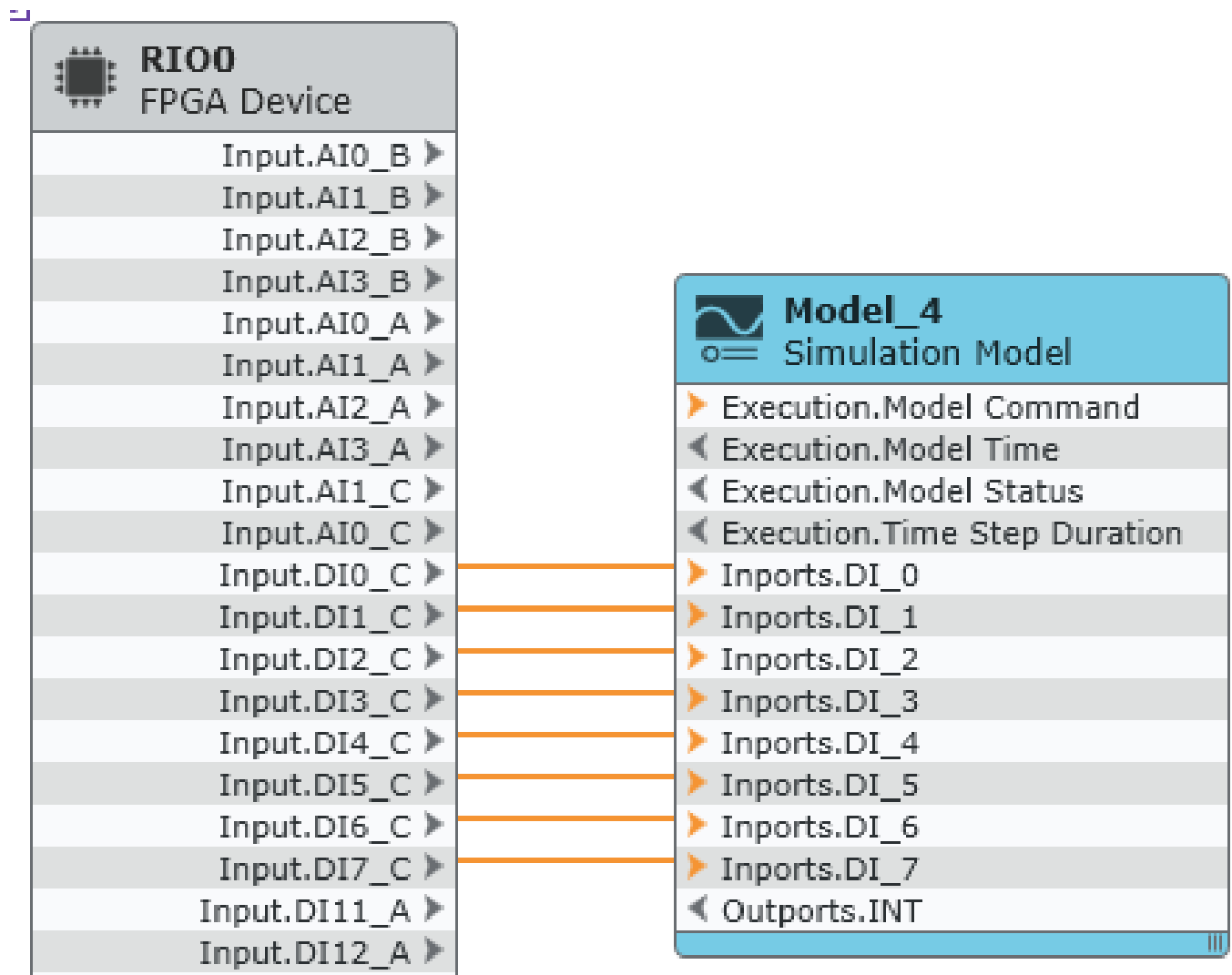
❖ Având în vedere faptul că în cadrul plăcuței modulare nr. 3 există 8 comutatoare, relația de calcul poate fi exprimată astfel:

$$X_{(2)8} = b_7 \cdot 2^7 + b_6 \cdot 2^6 + b_5 \cdot 2^5 + b_4 \cdot 2^4 + b_3 \cdot 2^3 + b_2 \cdot 2^2 + b_1 \cdot 2^1 + b_0 \cdot 2^0$$

Modelul Simulink specific aplicației nr. 4

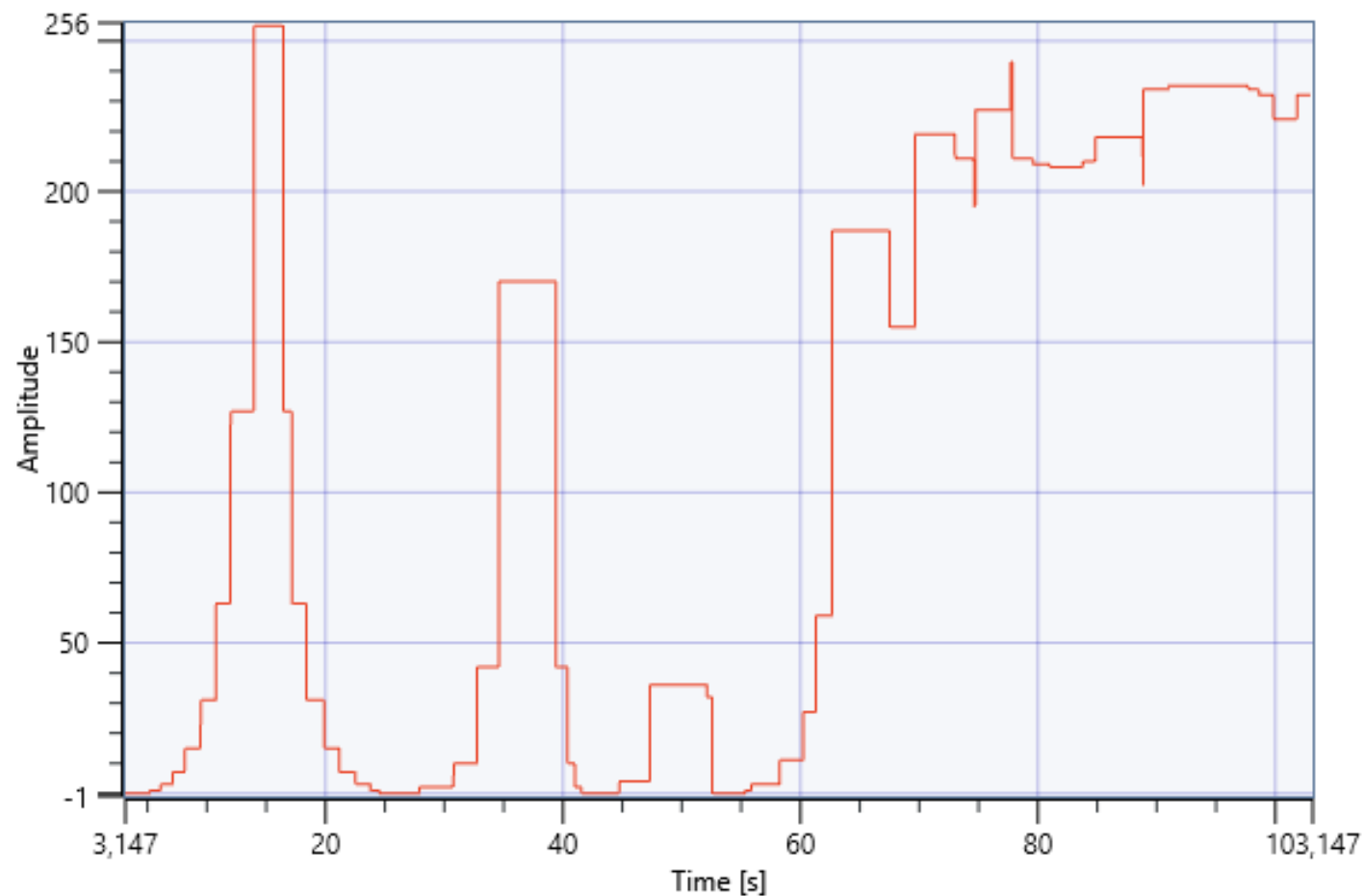


Alocarea resurselor în cadrul mediului VeriStand pentru aplicația nr. 4



Panoul frontal în cadrul mediului VeriStand pentru aplicația nr. 4

INT



INT

232

DI_7



DI_6



DI_5



DI_4



DI_3



DI_2



DI_1



DI_0



Modul de funcționare al aplicației nr. 4



Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

- ❖ În cadrul aplicației nr. 5:
 - ✓ Se va demonstra modul de funcționare al convertorului analog – digital (eng. ADC), anume, se va determina rezoluția și precizia convertorului
 - ✓ Tensiunea de alimentare a potențiometrului sau tensiune de referință va fi stabilită la valoarea de 5 [V]
 - ✓ Căderea de tensiune se va determina în funcție de indicația numerică a convertorului (specifică intrării analogice la care se dorește determinarea nivelului de tensiune) și precizia acestuia (raportul dintre tensiunea de referință și rezoluția convertorului)

Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

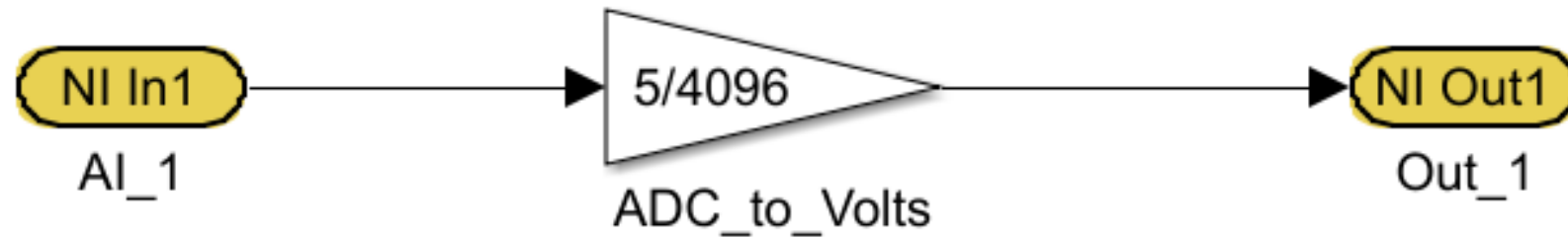
- ❖ În cazul convertorului analog – digital din componența platformei de dezvoltare NI MyRIO se cunosc parametrii precum: reprezentare pe 12 biți și tensiunea de alimentare sau de referință 5 [V]. Precizia se va determina astfel:

$$r_{ADC} = (2^{nr. \text{biți}}) - 1 = (2^{12}) - 1 = 4095 \rightarrow x_{ADC} = \frac{U_{ref}}{r_{ADC}} = \frac{5}{4095} \approx 1,2 \text{ [mV/div]}$$

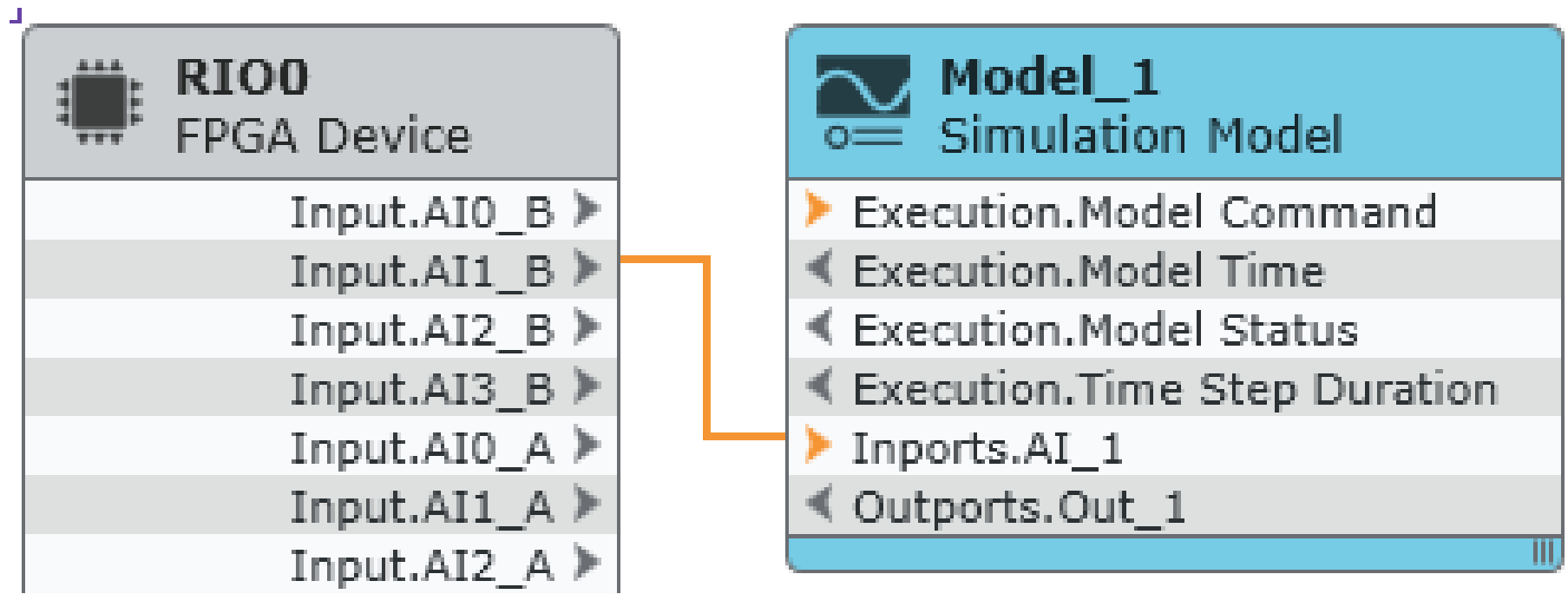
- ❖ Spre exemplu, pentru o indicație numerică ADC = 2046 să se determine căderea de tensiune măsurată de către convertorul analog – digital:

$$U_m = ADC \cdot x_{ADC} = ADC \cdot \frac{U_{ref}}{r_{ADC}} \rightarrow U_m = 2046 \cdot \frac{5}{4095} \approx 2,498 \approx 2,5 \text{ [V]}$$

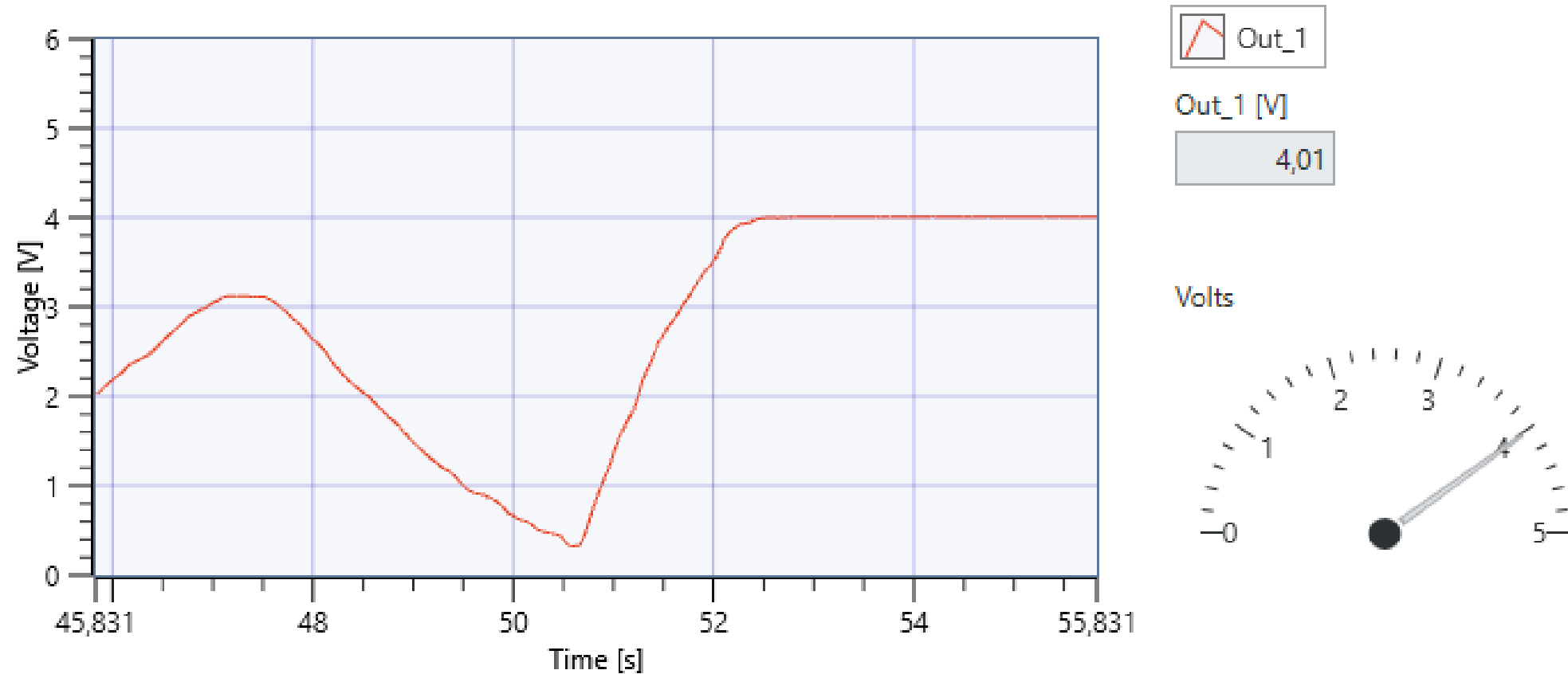
Modelul Simulink specific aplicației nr. 5



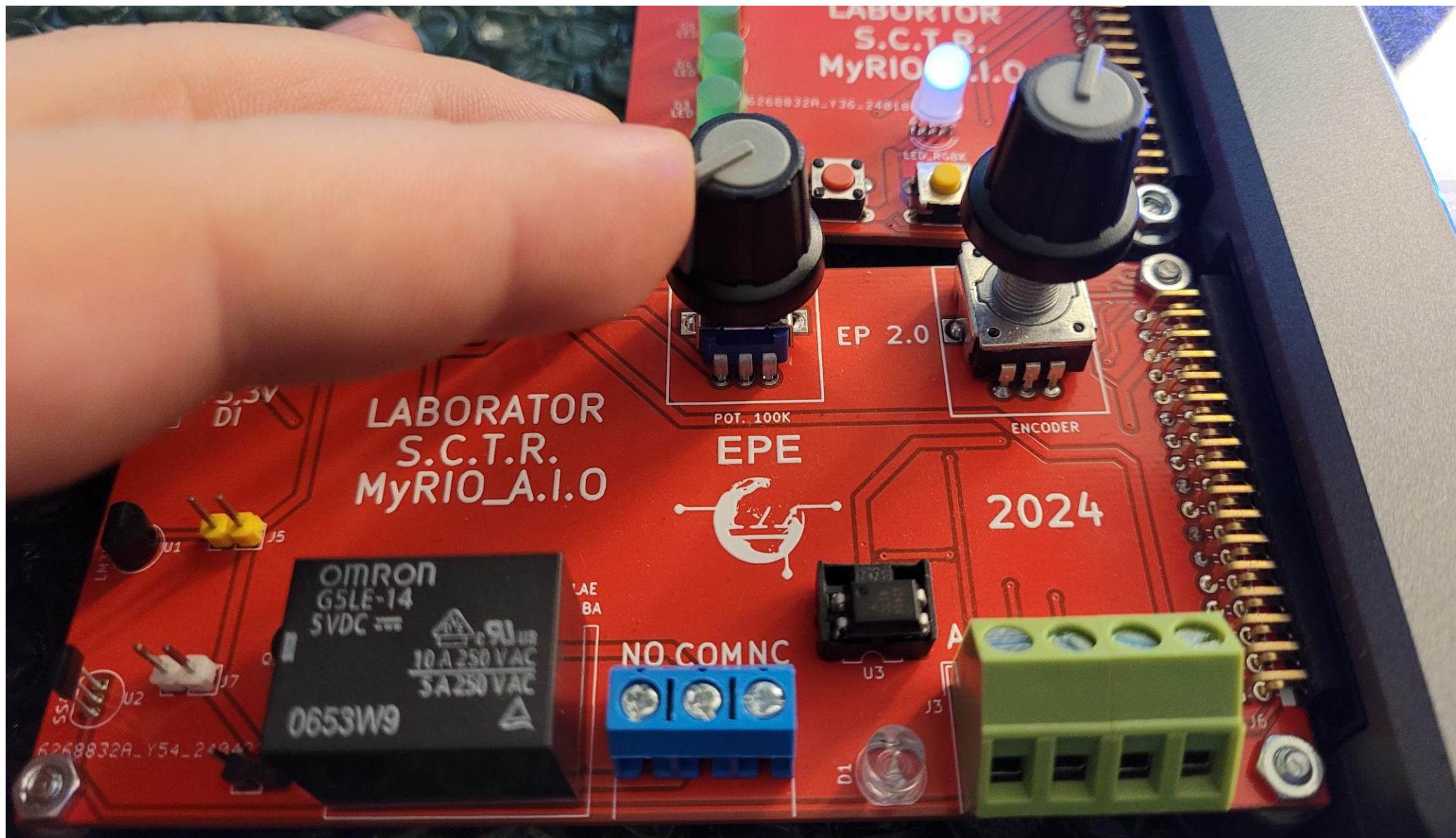
Alocarea resurselor în cadrul mediului VeriStand pentru aplicația nr. 5



Panoul frontal în cadrul mediului VeriStand pentru aplicația nr. 5



Modul de funcționare al aplicației nr. 5



Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

- ❖ În cadrul aplicației nr. 6:
 - ✓ Se va demonstra modul de filtrare al zgomotelor care se suprapun peste semnalul de măsurare
 - ✓ Filtrarea s-a realizat prin intermediul funcției de determinare a mediei aritmetice în mod dinamic.
 - ✓ Variația tensiunii s-a realizat prin intermediul unui divizor rezistiv, în cadrul căruia există o fotorezistență variabilă în funcție de intensitatea luminoasă (eng. LDR – Light Dependent Resistor)

Prezentarea procedurii de implementare a diverselor aplicații și principiile care stau la baza acestora

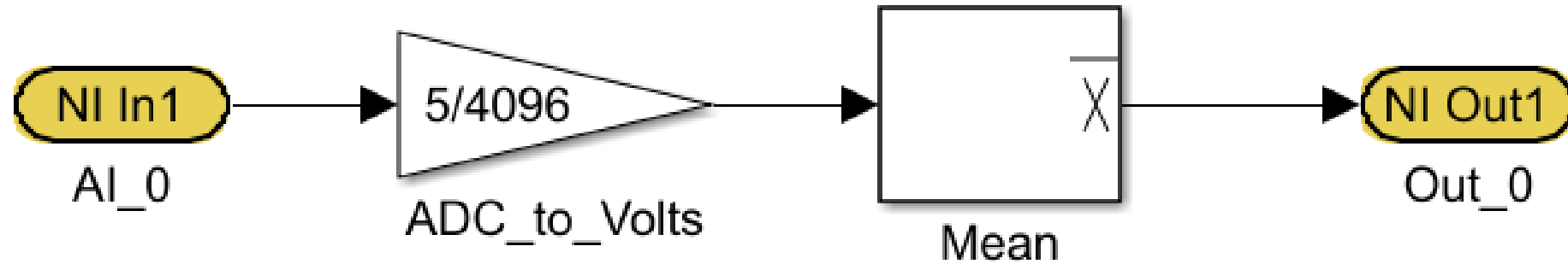
- ❖ Media aritmetică dinamică a unei mărimi instantanee variabile în timp (în domeniul continuu) se determină cu ajutorul relației:

$$X_{MED} = \frac{1}{T} \cdot \int_0^T x(t) \cdot dt$$

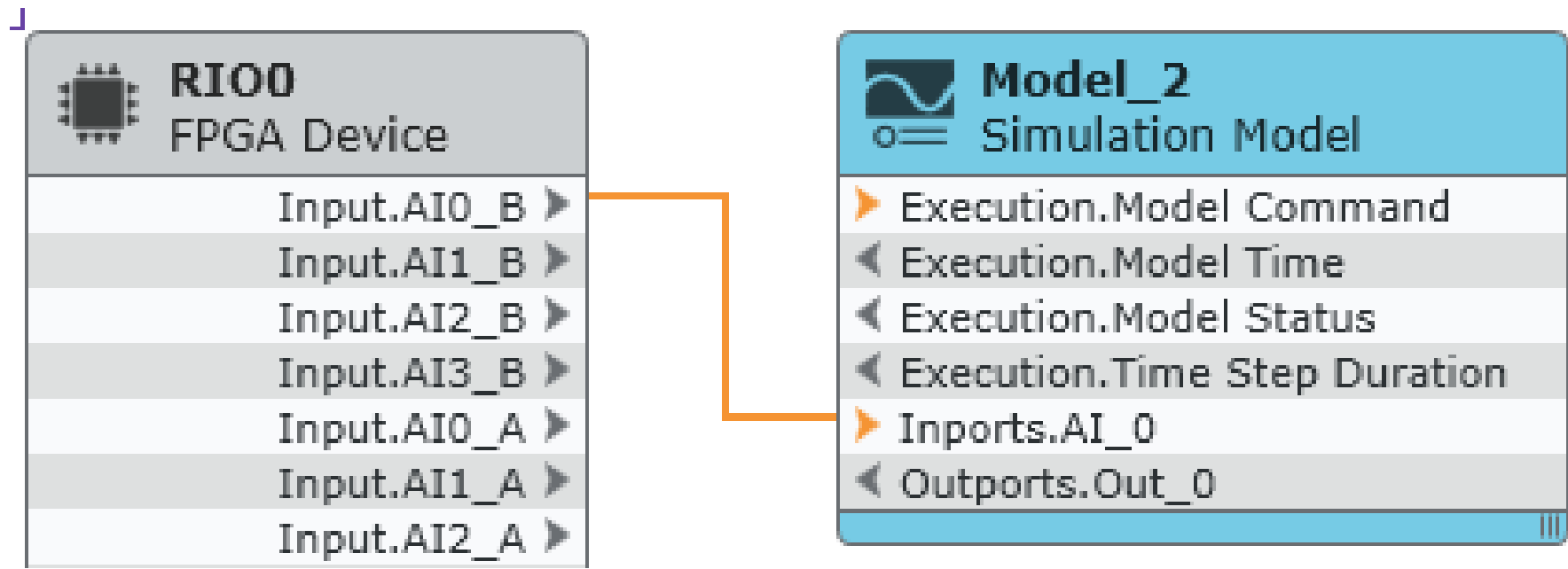
- ❖ În domeniul discret sau numeric sau digital media aritmetică dinamică se determină ca și suma tuturor valorilor raportată la numărul de eșantioane:

$$X_{MED} = \frac{1}{N} \cdot \sum_{\substack{i=1 \\ i \leq N}}^N x_i \quad \rightarrow \quad N = \frac{T_f}{T_s} \quad \rightarrow \quad T_f = \frac{1}{f_f} \quad \rightarrow \quad T_s = \frac{1}{f_s} \quad \rightarrow \quad f_s \geq 2 \cdot f_f$$

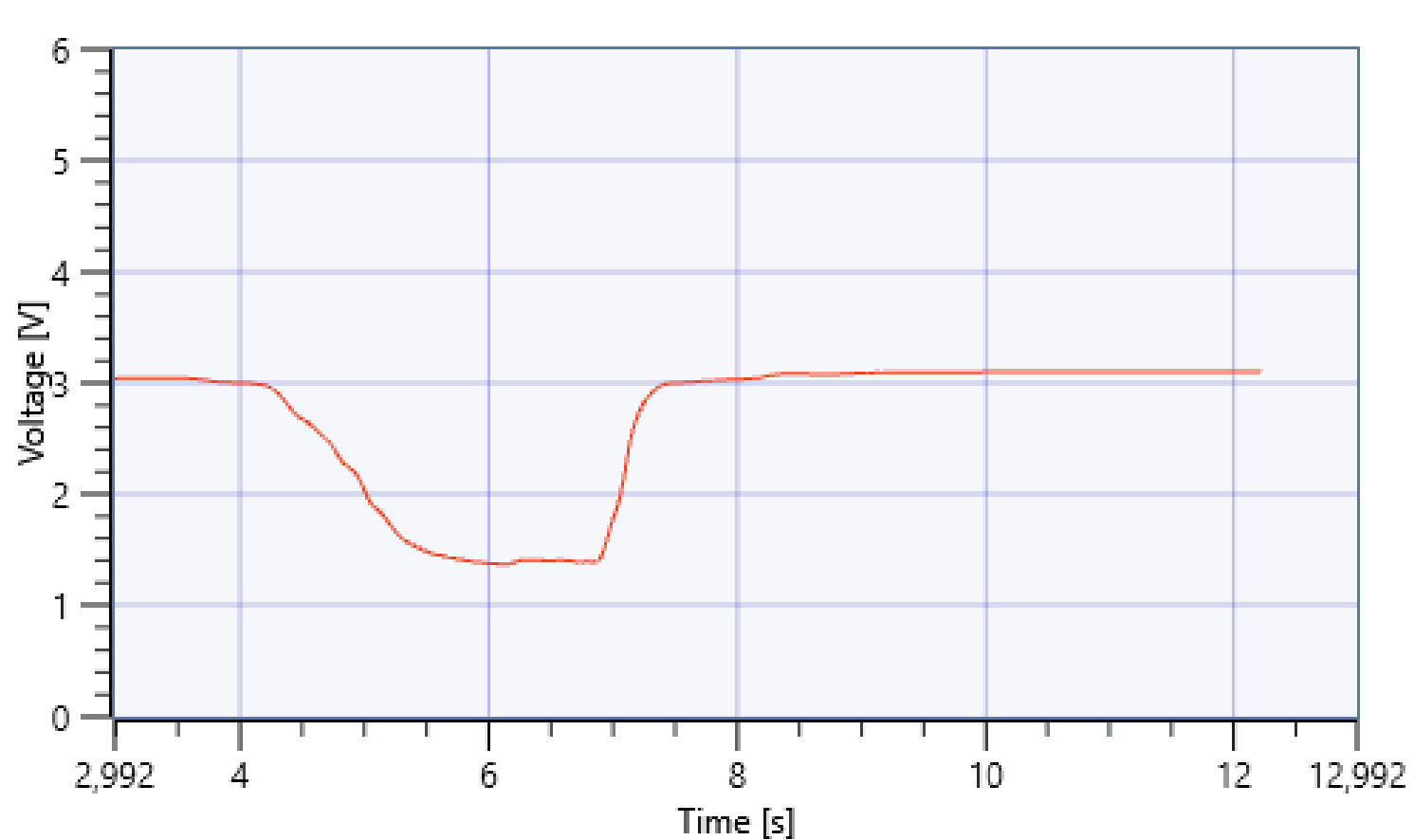
Modelul Simulink specific aplicației nr. 6



Alocarea resurselor în cadrul mediului VeriStand pentru aplicația nr. 6



Panoul frontal în cadrul mediului VeriStand pentru aplicația nr. 6



Out_0

Out_0 [V]

3,1027

Volts



Modul de funcționare al aplicației nr. 6

