



UNIVERSITATEA TEHNICĂ DIN CLUJ - NAPOCA

FACULTATEA DE INGINERIE ELECTRICĂ



Ș. L. dr. ing. *Pintilie Lucian - Nicolae*

Tehnici de control și estimare în acționări electrice

Ședința de laborator și proiect nr. 3

**Integrarea platformei de dezvoltare NI MyRIO 1900 în cadrul
mediului de testare în timp real NI VeriStand**

Cuprins

- ✓ **Prezentarea platformei de dezvoltare NI MyRIO 1900**
- ✓ **Prezentarea procedurii de re-configurarea a ariei de porți programabile (eng. FPGA) în cadrul mediului grafic NI LabVIEW FPGA**
- ✓ **Prezentarea procedurii de configurare a platformei NI MyRIO în cadrul mediului de testare în timp real NI VeriStand**
- ✓ **Implementarea diverselor aplicații simple în mediul NI VeriStand prin intermediul panoului frontal**

Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ În vederea implementării strategiilor de comandă și control există sisteme de calcul specializate precum:
 - ✓ Platforme de dezvoltare cu DSP + procesor ARM (MicroDAQ)
 - ✓ Platforme de dezvoltare cu FPGA + procesor ARM (NI MyRIO sau dSpace)
- ❖ Platforma de dezvoltare NI MyRIO constă într-o implementare de tip FPGA + procesor ARM (eng. Advanced RISC Machine – RISC – Reduced Instructions Set Computer)

Platforma de dezvoltare Embedded Solutions MicroDAQ



Platforma de dezvoltare National Instruments MyRIO 1900



<https://www.ni.com/ro-ro/support/model.pci-6221.html>

Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ Instrumentele periferice specializate în domeniul achiziționării și generării de semnal sunt implementate (la nivelul platformei de dezvoltare) prin intermediul ariei de porți programabile (eng. FPGA – Field Programmable Gate Array)
- ❖ Procesorul de aplicație (ARM), permite rularea unui sistem de operare de timp NI Linux Real – Time în cadrul platformei NI MyRIO, care la rândul lui permite comunicare cu calculatorul personal sau alte echipamente
- ❖ Între procesorul de aplicație (ARM Real – Time) și procesorul logic (aria de porți programabilă FPGA) există o magistrală dedicată pentru transfer de date rapid în mod paralel (AXI – DMA - Advanced eXtensible Interface with Direct Memory Access)

Sistemul de operare NI Linux Real - Time

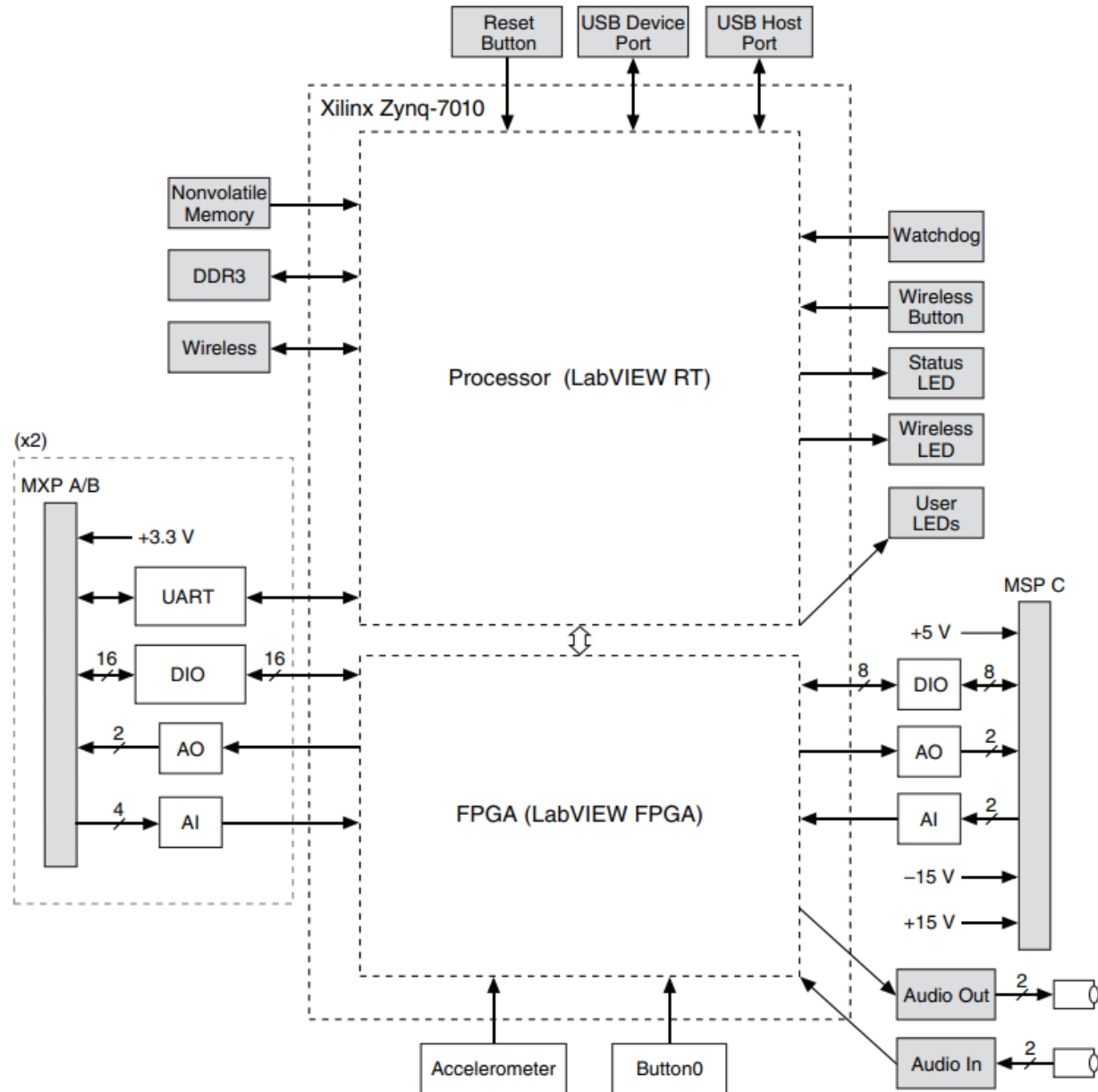
```
172.22.11.2 - PuTTY
Mem: 242744K used, 7416K free, 964K shrd, 0K buff, 98612K cached
CPU:  45% usr   7% sys   0% nic  46% idle   0% io   0% irq   0% sirq
Load average: 1.69 1.64 1.68 3/368 4964
```

PID	PPID	USER	STAT	VSZ	%VSZ	%CPU	COMMAND
1711	1694	lvuser	S	135m	55%	47%	{MainAppThread} ./lvrt
495	2	admin	SW	0	0%	1%	[irq/61-atomiczy]
8	2	admin	SW	0	0%	0%	[ktimersoftd/0]
200	2	admin	SW	0	0%	0%	[irq/76-e0003000]
21	2	admin	SW	0	0%	0%	[ktimersoftd/1]
4962	4916	admin	R	7116	3%	0%	{top} /bin/busybox.nosuid /usr/bin/top
1726	1389	web SERV	S	10516	4%	0%	NIWebServiceContainer {4C45DE08-1E9B-1
22	2	admin	SW	0	0%	0%	[ksoftirqd/1]
1389	1388	web SERV	S	27904	11%	0%	{SystemWebServer} /usr/local/natinst/s
1641	1	lvuser	S	18464	7%	0%	/usr/local/natinst/bin/tagsrv -start
952	1	admin	S	13424	5%	0%	{niauth_daemon} /usr/local/natinst/sha
1023	1	admin	S	9492	4%	0%	/usr/sbin/wpa_supplicant -Dnl80211 -i
1449	1	admin	S	6980	3%	0%	/usr/local/natinst/bin/niwifibledd -st
96	1	admin	S	1956	1%	0%	/usr/sbin/jitterentropy-rngd
7	2	admin	SW	0	0%	0%	[ksoftirqd/0]
20	2	admin	SW	0	0%	0%	[rcuc/1]
4802	2	admin	IW	0	0%	0%	[kworker/u4:1]
1610	1389	web SERV	S	54988	22%	0%	NIWebServiceContainer {4B6AD72B-1E9B-1
1474	1	admin	S	16856	7%	0%	/usr/local/natinst/share/mxs/nimxs -d
1344	1	lvuser	S	14932	6%	0%	/usr/local/natinst/bin/nirioserver

Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ Platforma de dezvoltare NI MyRIO 1900 prezintă trei terminale dedicate pentru conectarea cu alte echipamente:
 - ✓ **MyRIO eXpansion Port – MXP – A**
 - ✓ **MyRIO eXpansion Port – MXP – B**
 - ✓ **Mini System Port – MSP with Screw Terminal – C**
- ❖ **Nivelul logic de tensiune în cadrul terminalelor MXP A și B este 3,3 [V] (conform standardului LVCMOS33) iar în cadrul terminalului MSP nivelul logic este 5 [V] (conform standardului LVTTL5)**
- ❖ **Nivelul compatibil al semnalului analogic cu intrările / ieșirile din cadrul terminalelor MXP este 5 [V] iar în cadrul terminalului MSP este + / - 15 [V]**

Arhitectura internă a platformei de dezvoltare NI MyRIO 1900

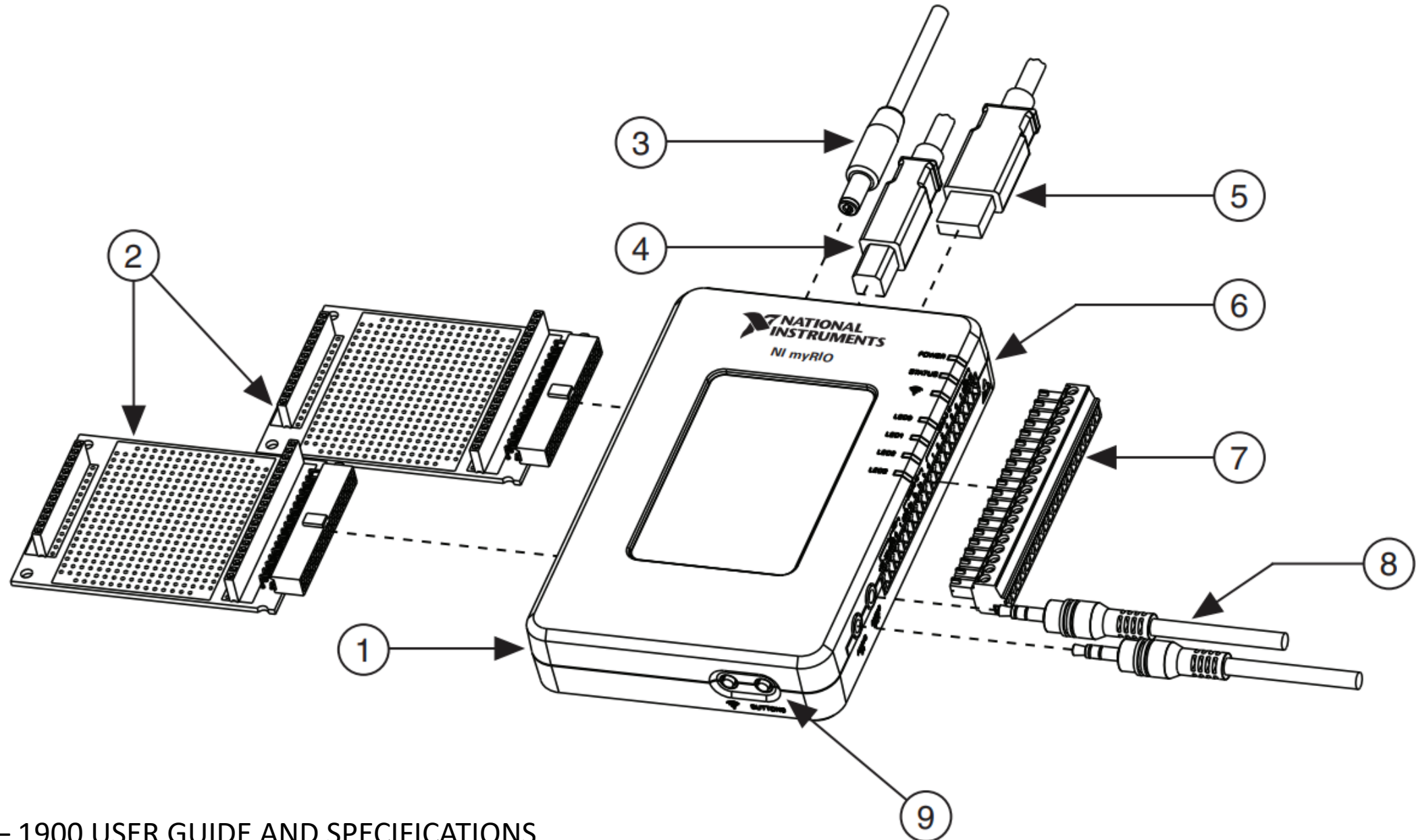


Componentele platformei de dezvoltare NI MyRIO 1900

❖ Pachetul standard MyRIO include următoarele dotări și accesorii:

1. Platforma de dezvoltare NI MyRIO-1900
2. Plăcuță pentru conectare echipamentelor externe (eng. **MyRIO eXpansion Port** - MXP)
3. Cablu pentru alimentare
4. Conector USB – B pentru conectarea platformei de dezvoltare la calculator
5. Conector USB – A pentru conectarea echipamentelor la platforma de dezvoltare
6. Indicatori luminoși de stare (LED) încorporați
7. Conector pentru terminale cu șurubel (eng. **Mini System Port** – MSP – Screw Terminal)
8. Conectori pentru echipamentele audio
9. Buton încorporat cu funcție programabilă

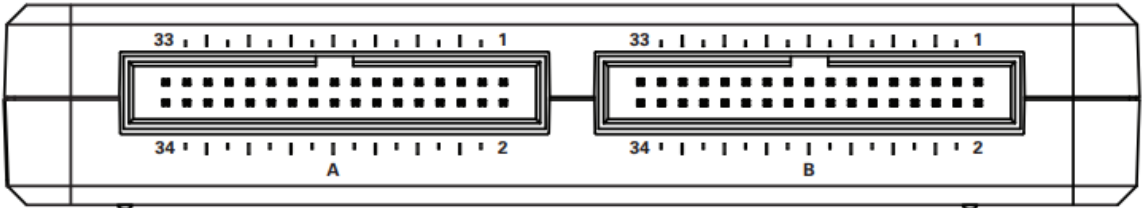
Componentele platformei de dezvoltare NI MyRIO 1900



Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ În cadrul terminalelor MXP sunt disponibile următoarele funcții periferice
 - ✓ Intrări sau ieșiri digitale (GPIO, PWM, ENC / QEP)
 - ✓ Intrări sau ieșiri analogice (ADC, DAC)
 - ✓ Interfețe de comunicare (UART, I2C, SPI)
 - ✓ Terminale pentru alimentare (+3,3V, +5V, GND)

Harta terminalelor din blocurile de conectori MXP

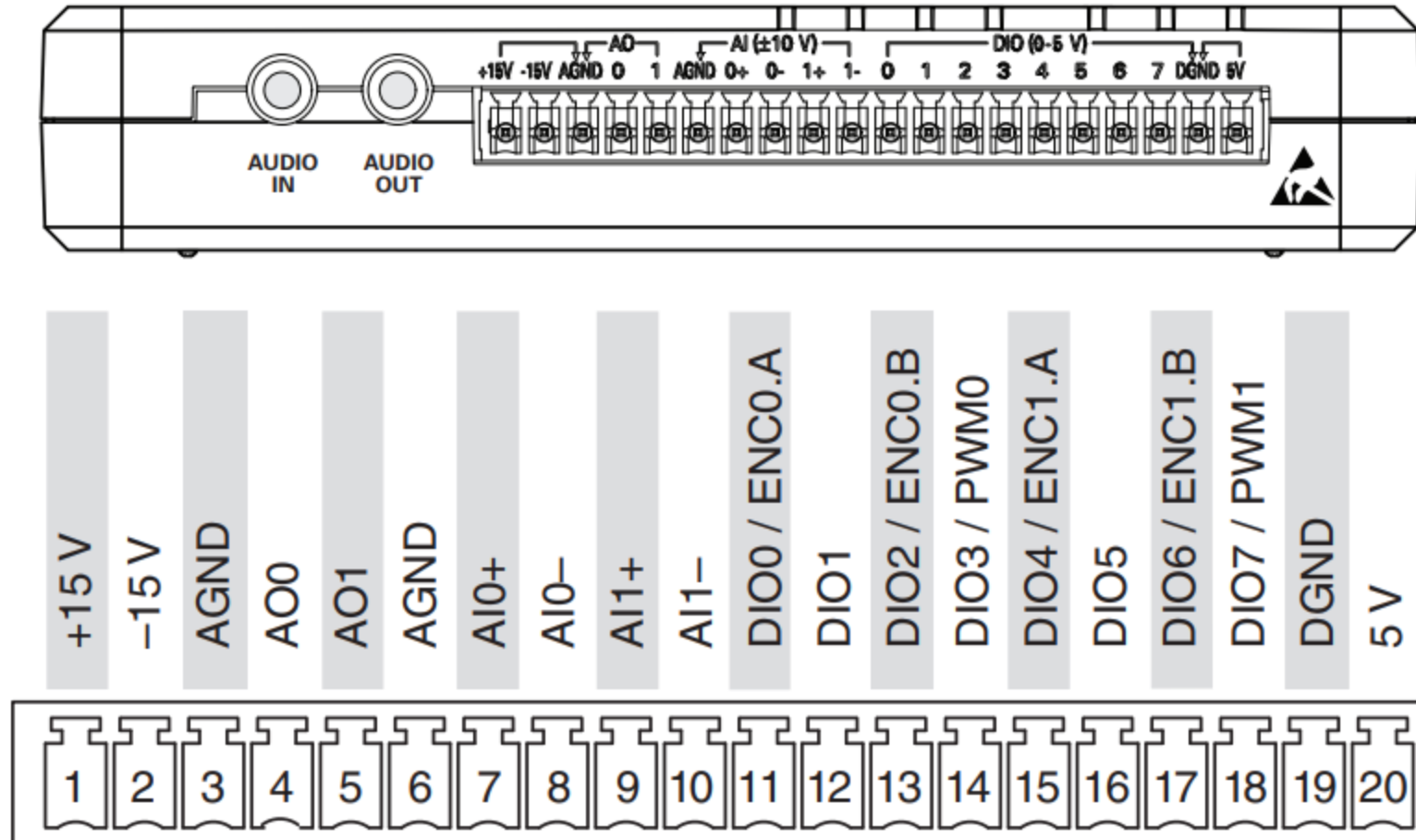


DIO15 / I2C.SDA	33	34	+3.3 V
DIO14 / I2C.SCL	31	32	DIO10 / PWM2
DGND	29	30	DIO9 / PWM1
DGND	27	28	DIO8 / PWM0
DIO13	25	26	DIO7 / SPI.MOSI
DGND	23	24	DIO6 / SPI.MISO
DIO12 / ENC.B	21	22	DIO5 / SPI.CLK
DGND	19	20	DIO4
DIO11 / ENC.A	17	18	DIO3
DGND	15	16	DIO2
UART.TX	13	14	DIO1
DGND	11	12	DIO0
UART.RX	9	10	AI3
DGND	7	8	AI2
AGND	5	6	AI1
AO1	3	4	AI0
AO0	1	2	+5V

Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ În cadrul terminalelor MSP sunt disponibile următoarele funcții periferice
 - ✓ Intrări sau ieșiri digitale (GPIO, PWM, ENC / QEP)
 - ✓ Intrări sau ieșiri analogice (ADC, DAC)
 - ✓ Interfețe de comunicare (UART, I2C, SPI)
 - ✓ Terminale pentru alimentare (+5V, +/-15V, GND)

Harta terminalelor din blocul de conectori MSP



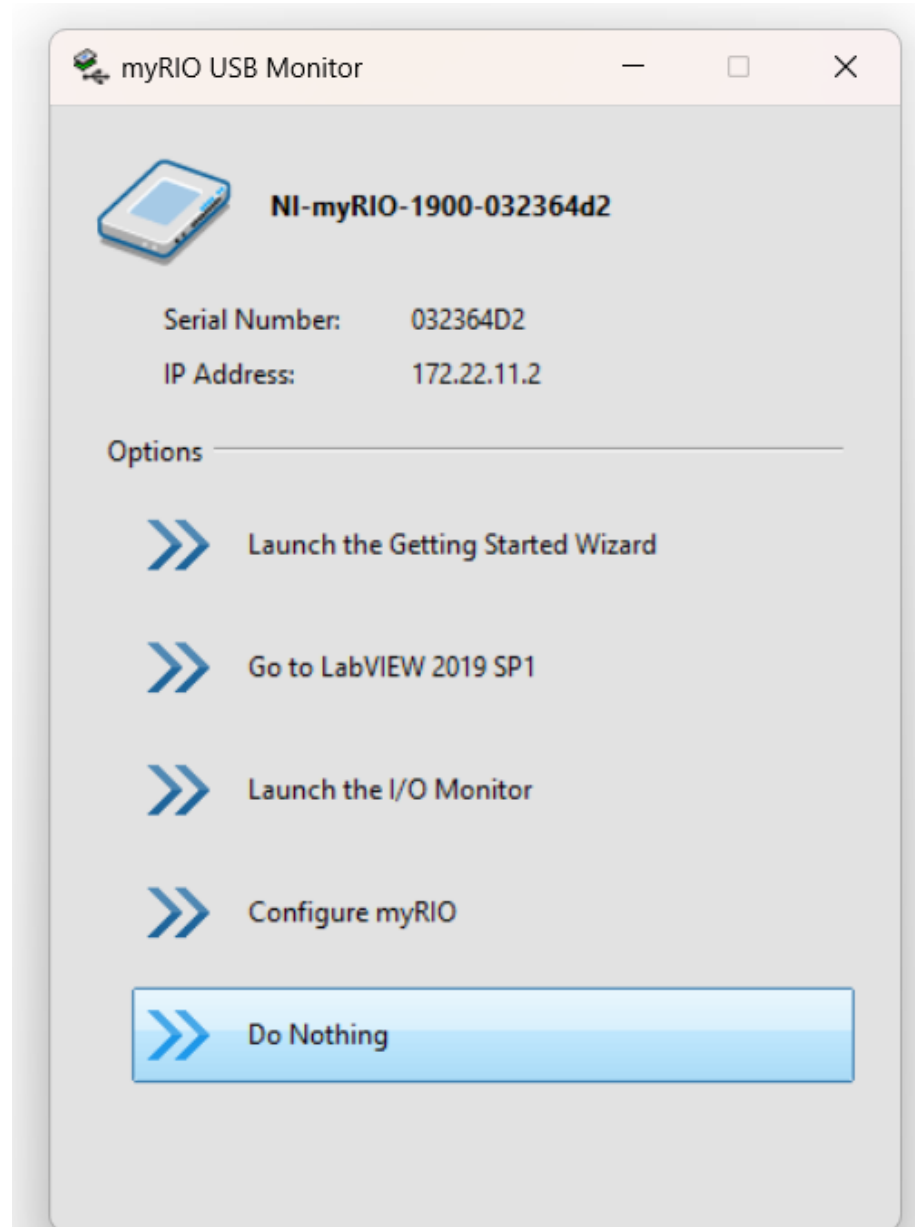
Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ Există de asemenea o serie de instrumente periferice suplimentare față de cele prezente în cadrul terminalelor MXP și MSP, precum:
 - ✓ Accelerometru pe trei axe (X, Y, Z) (încorporat)
 - ✓ Buton cu funcție programabilă (încorporat)
 - ✓ Canale de intrare și ieșire audio (încorporate)
 - ✓ Indicatori LED cu funcții standard de stare sau programabili (încorporați)
 - ✓ Dispozitiv pentru comunicație Wi-Fi

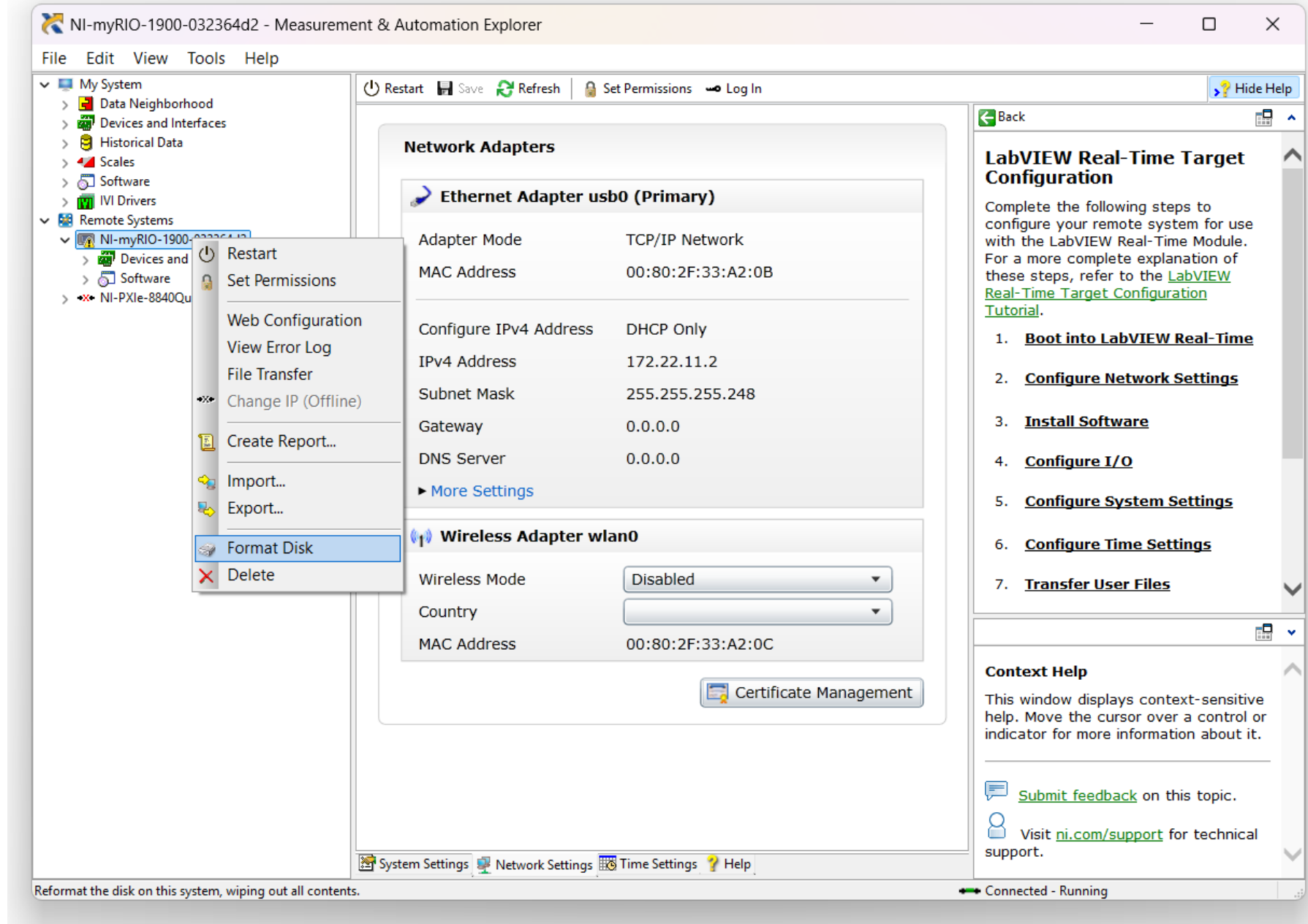
Prezentarea platformei de dezvoltare NI MyRIO 1900

- ❖ Pentru a configura platforma de dezvoltare NI MyRIO 1900 este necesară parcurgerea următoarelor etape:
- ✓ Formatarea memoriei platformei NI MyRIO 1900 (prin intermediul utilitarului NI MAX)
- ✓ Instalarea pachetului standard de servicii împreună cu sistemul de operare NI Linux
- ✓ Adăugarea ulterioară a serviciului pentru gestionarea aplicațiilor NI VeriStand

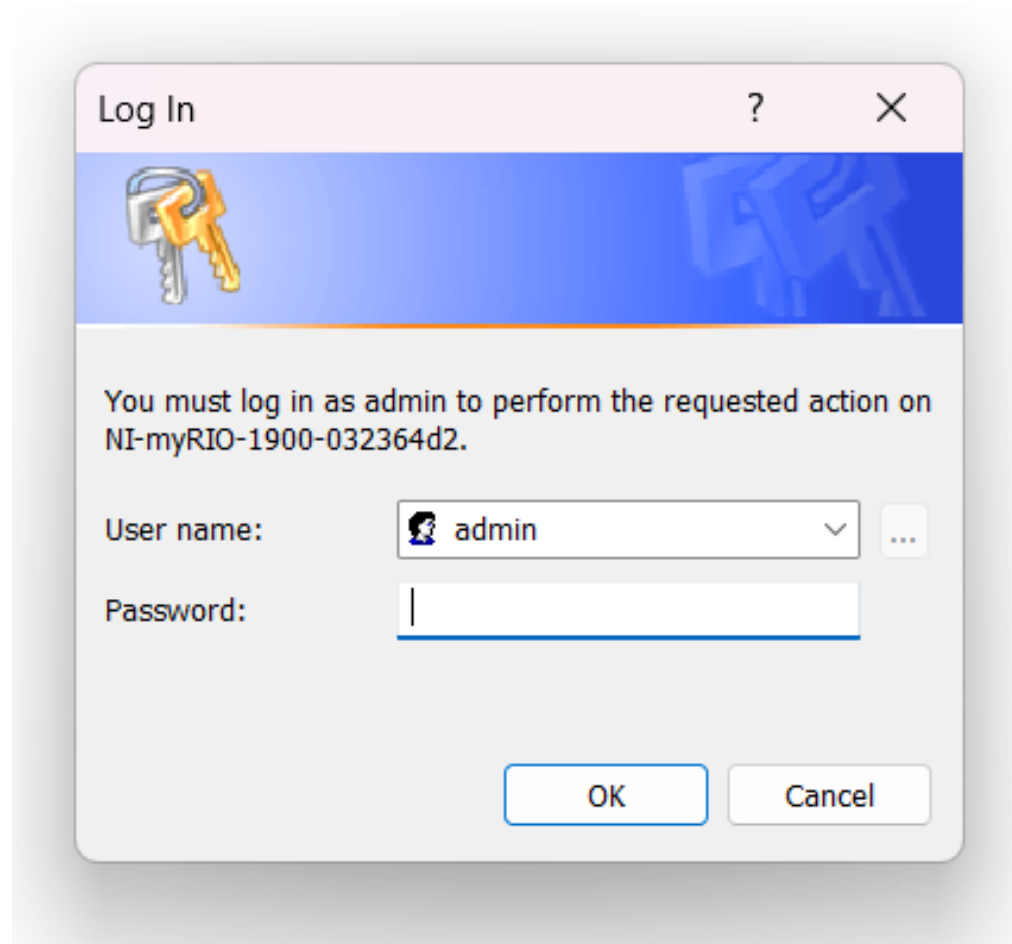
Conectarea inițială a platformei de dezvoltare la calculatorul gazdă



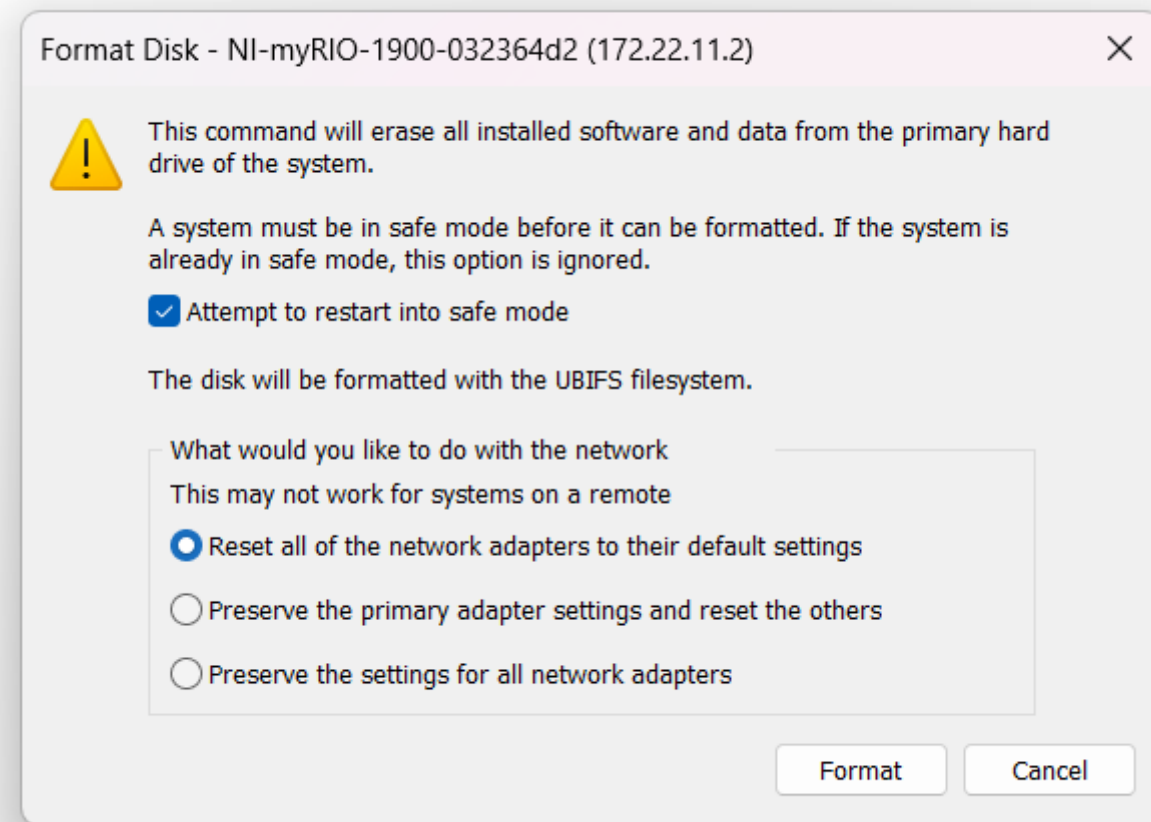
Formatarea memoriei platformei NI MyRIO prin intermediul utilitarului NI MAX



Autorizarea operației de formatare



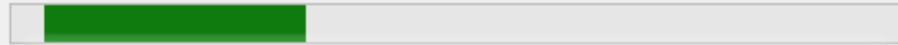
Confirmarea operației de formatare și particularizarea acțiunii



Parcurgerea și finalizarea etapei de formatare

Format Disk - NI-myRIO-1900-032364d2 (172.22.11.2)

MAX is now formatting the target. This may take a while.



Close

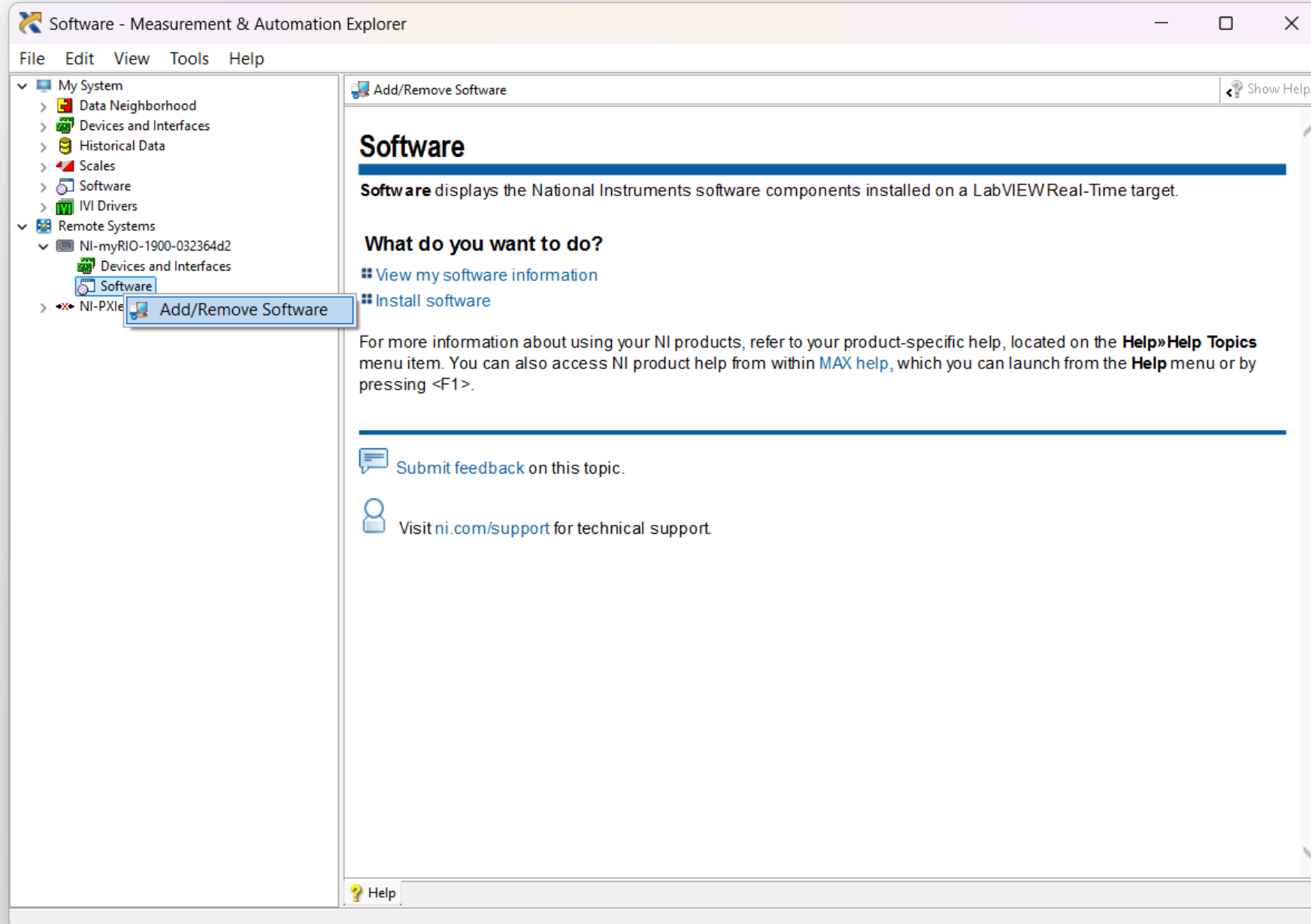
Format Disk - NI-myRIO-1900-032364d2 (172.22.11.2)



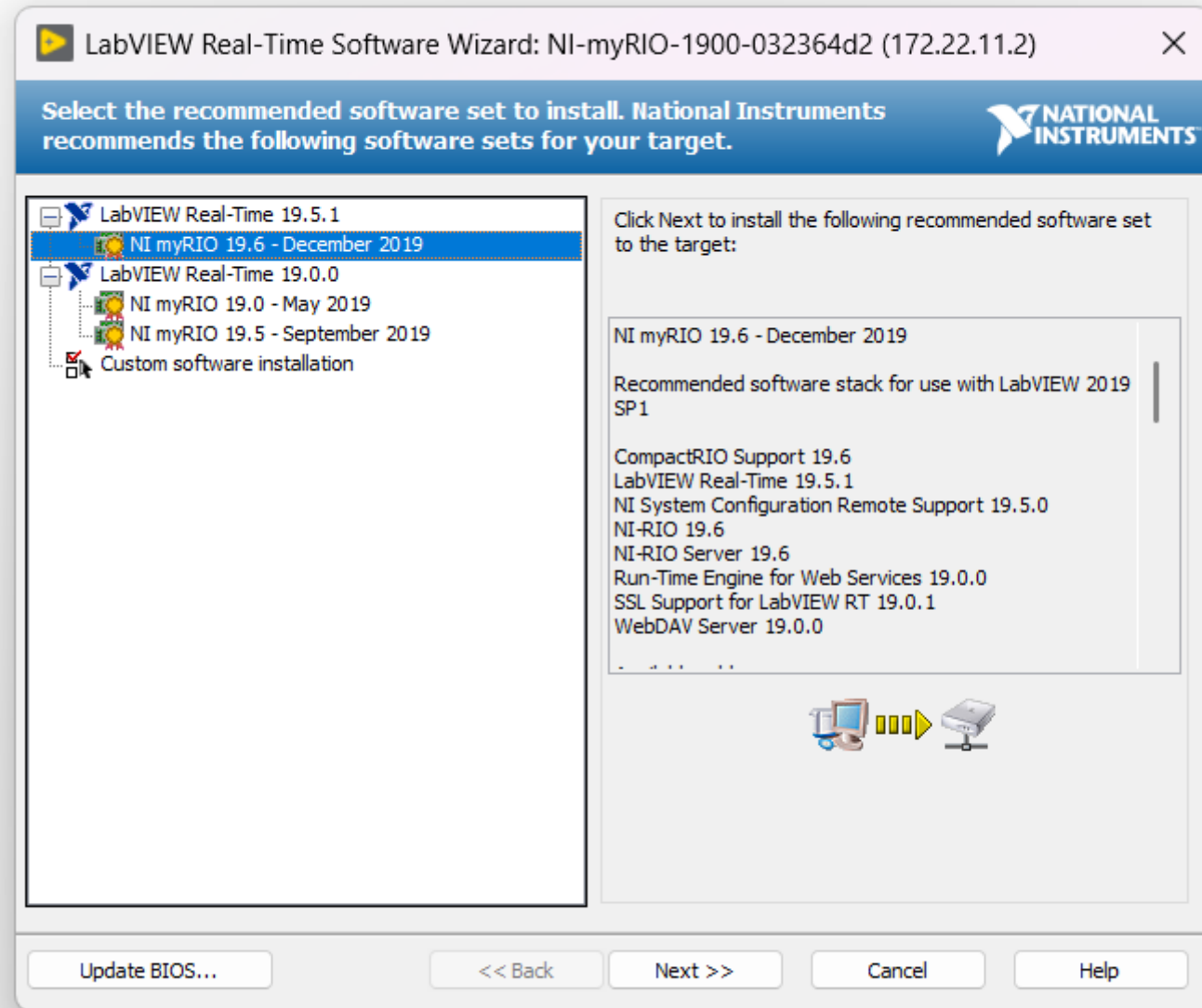
The disk on the remote device has been formatted successfully. All network adapters were reconfigured to default values.

Close

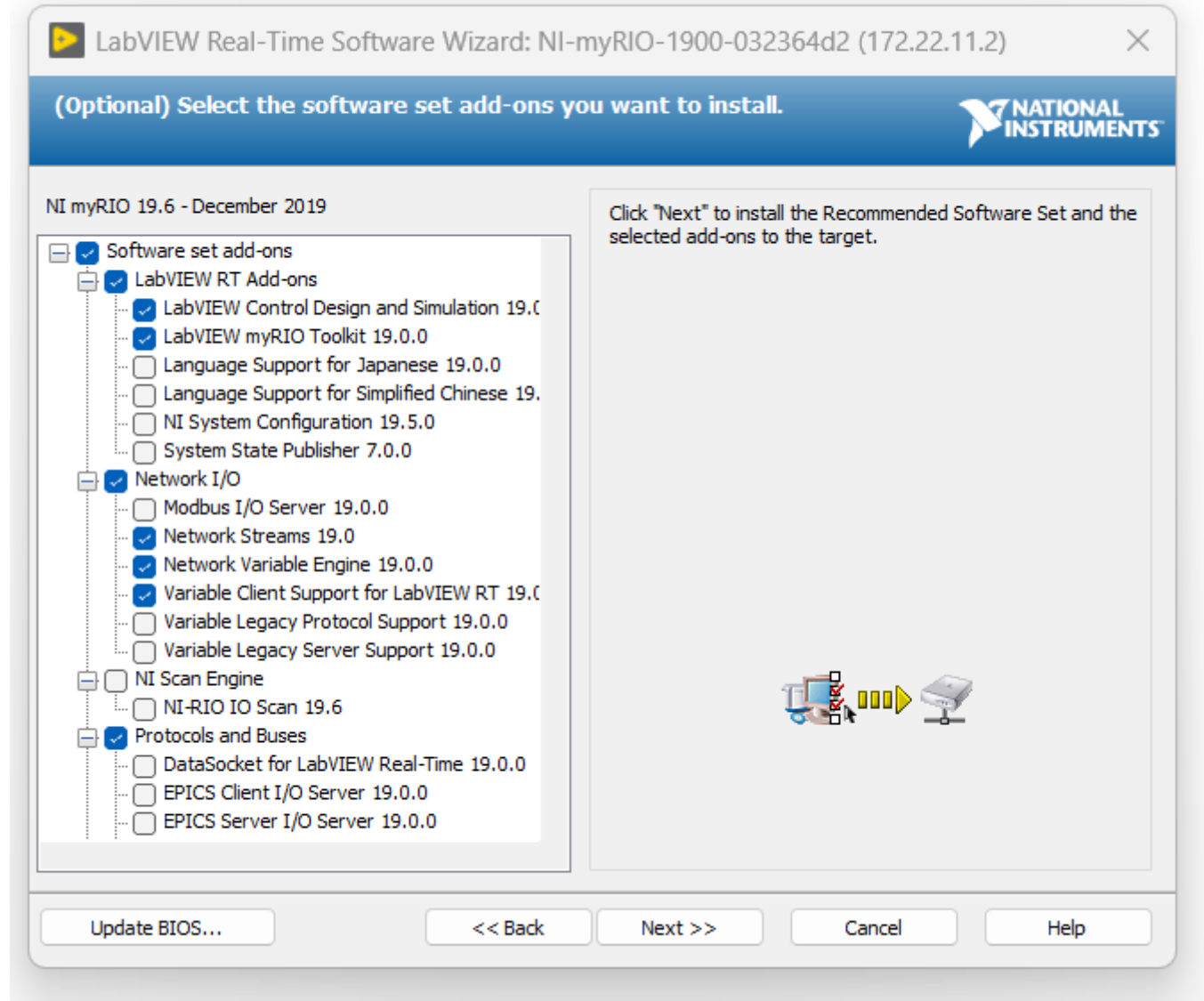
Instalarea sistemului de operare NI Linux și a serviciilor necesare în vederea funcționării



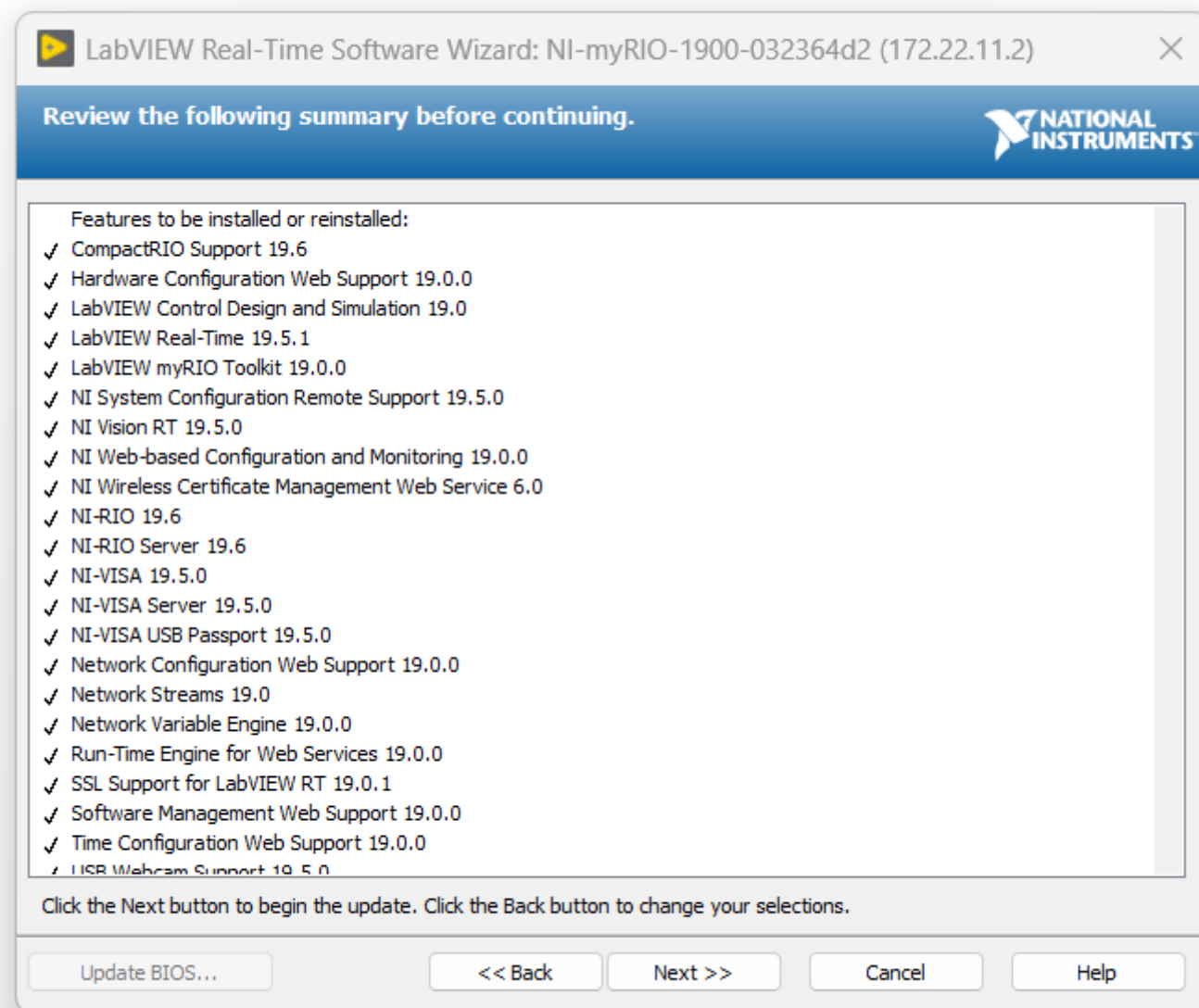
Alegerea versiunii pentru sistemul de operare și serviciile adiționale



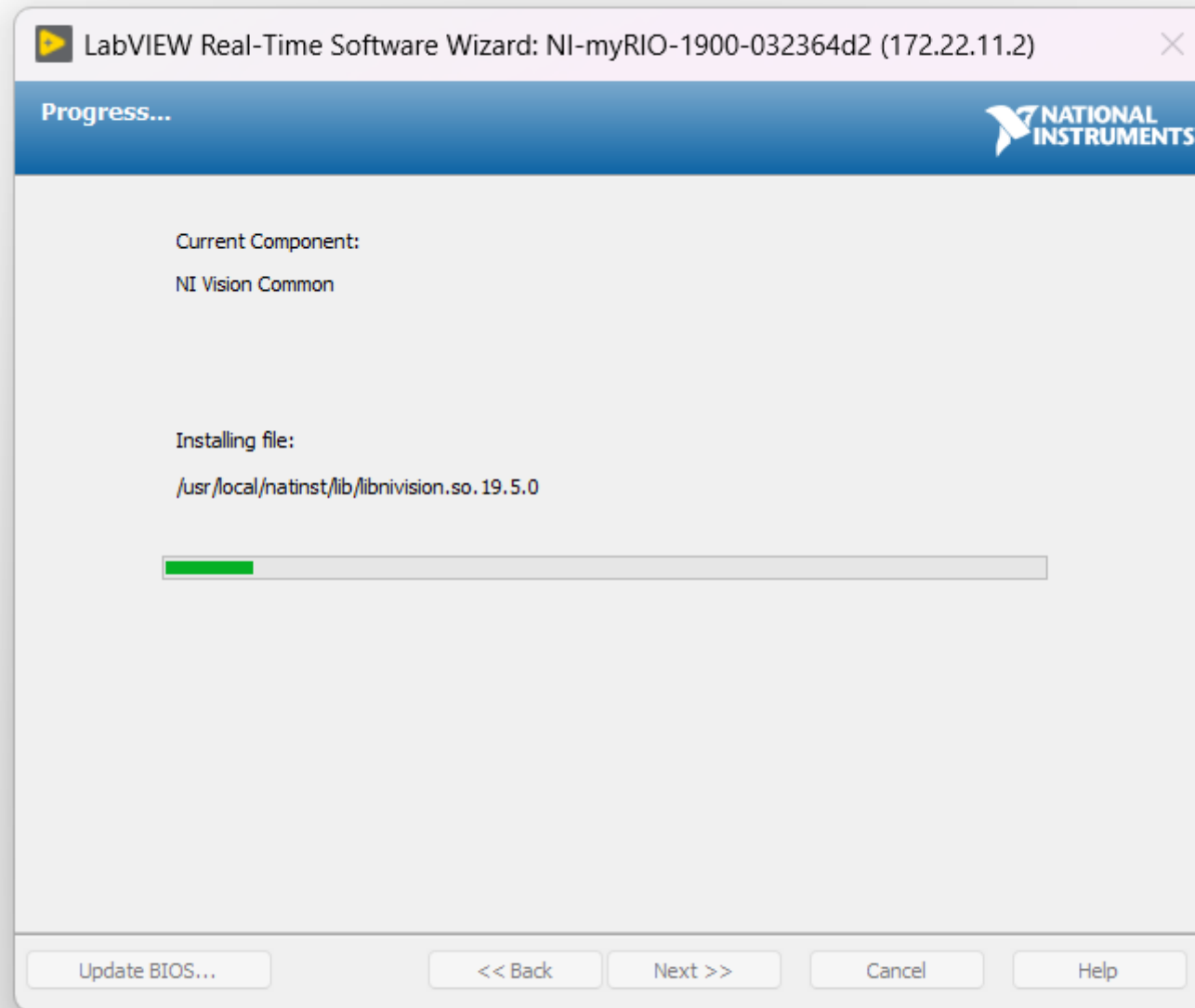
Alegerea serviciilor adiționale



Confirmarea instalării componentelor selectate



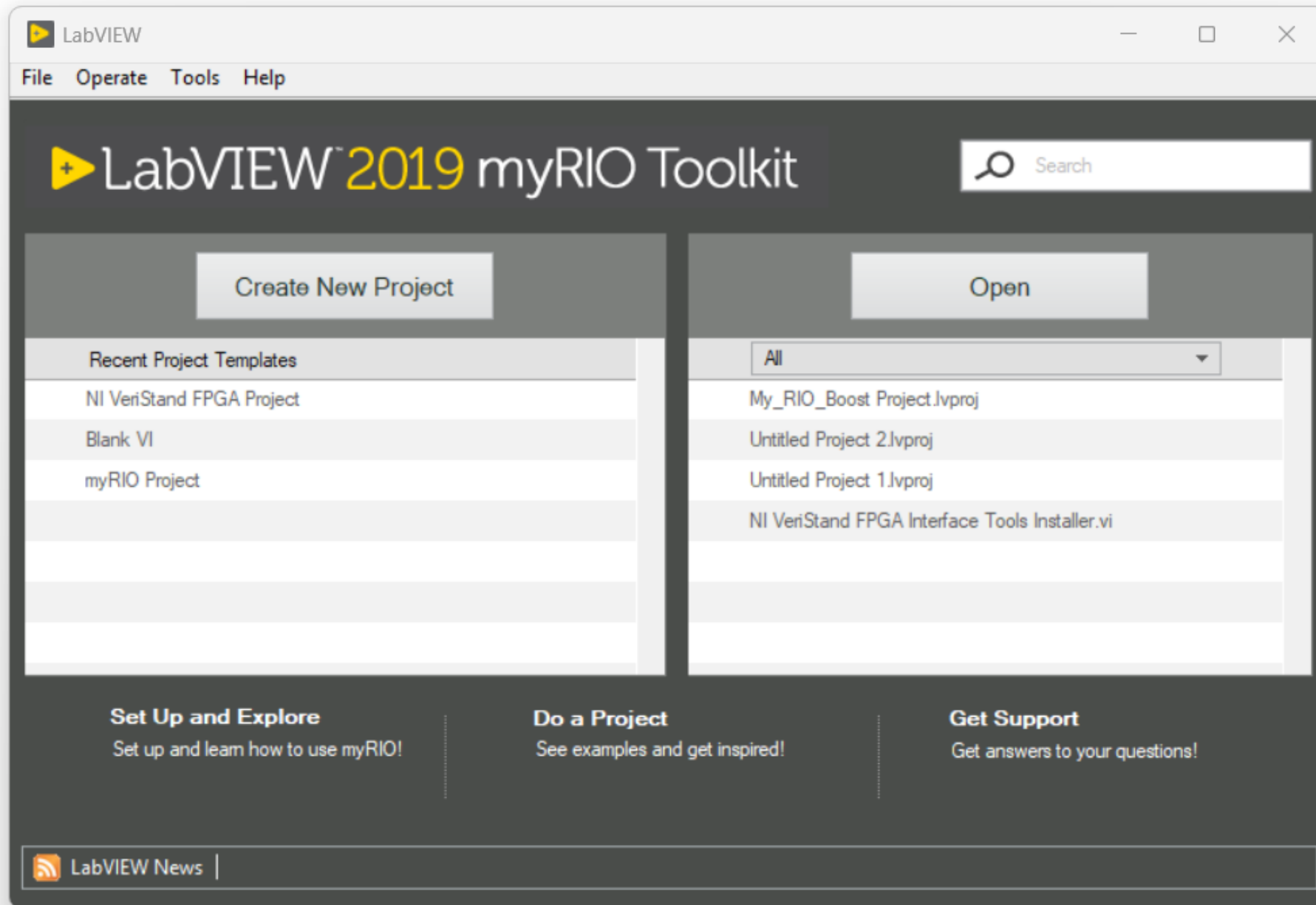
Parcurgerea etapei de instalare



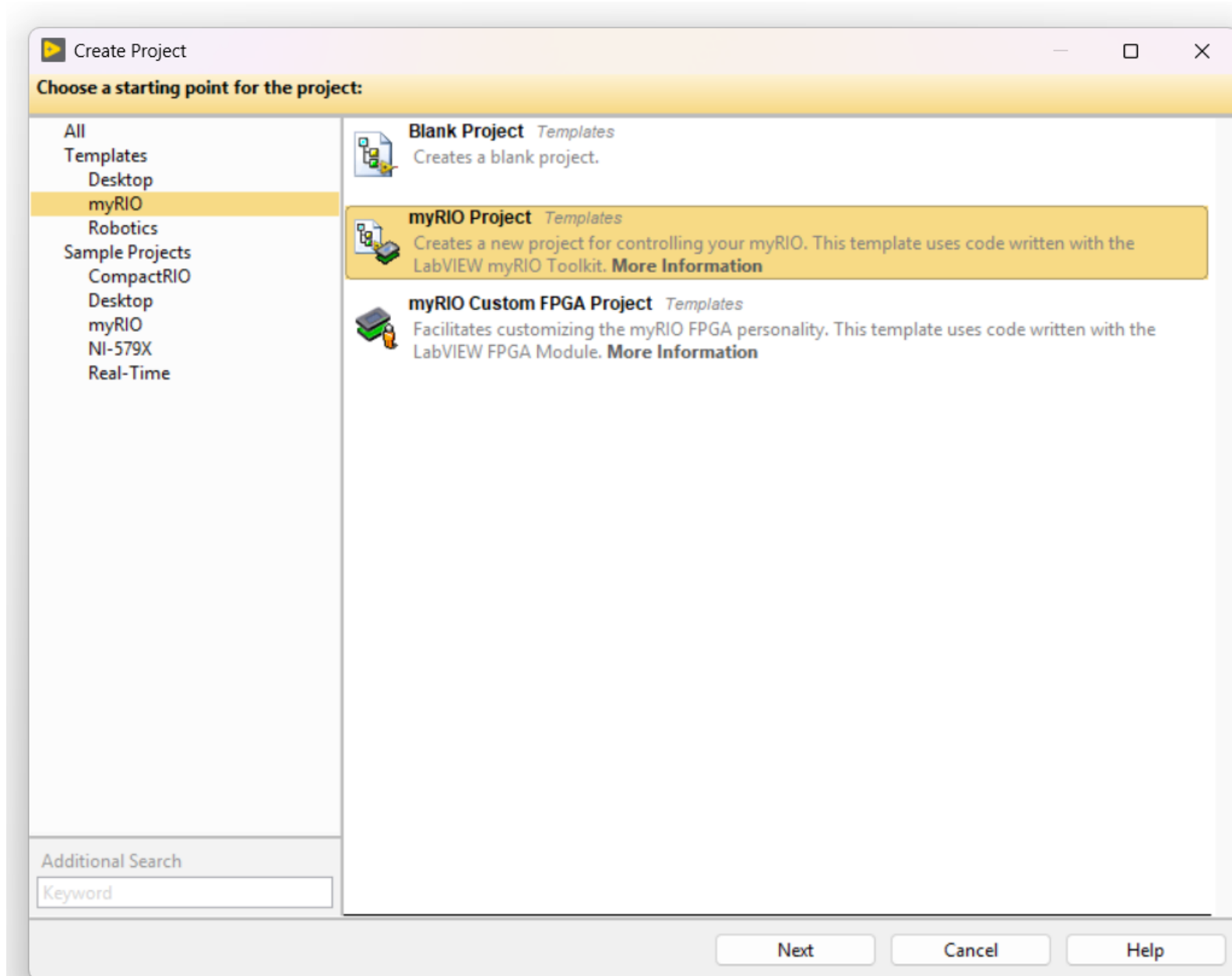
Prezentarea procedurii de re-configurarea a ariei de porți programabile (FPGA) în cadrul mediului NI LabVIEW FPGA

- ❖ Platforma de dezvoltare NI MyRIO 1900 este compatibilă cu mediul de dezvoltare și programare grafică NI LabVIEW
- ❖ Pentru programarea procesorului de aplicație (ARM), este necesar modulul LabVIEW Real – Time
- ❖ Respectiva procedură presupune utilizarea unui șablon predefinit al ariei de porți, mai precis, programarea se realizează doar la nivelul microprocesorului dar nu și la nivelul ariei de porți
- ❖ Arhitectura internă și instrumentele periferice nu se modifică față de varianta dată de producător
- **Respectivele aspecte pot fi remarcate la inițierea unui nou proiect pentru testarea funcționalității platformei de dezvoltare!**

Inițierea unui nou proiect pentru platforma NI MyRIO 1900



Inițierea unui nou proiect pentru platforma NI MyRIO 1900



Utilizarea arhitecturii predefinite a procesorului logic

Create Project

Configure the new project: myRIO Project

Project Name
Accel_test

Project Root
C:\Users\Niculae\Documents\LabVIEW Data\Accel_test

File Name Prefix (Optional)

Target

☒ Plugged into USB
☐ Connected over WiFi
☐ Generic Target
☐ Specific IP Address or Hostname

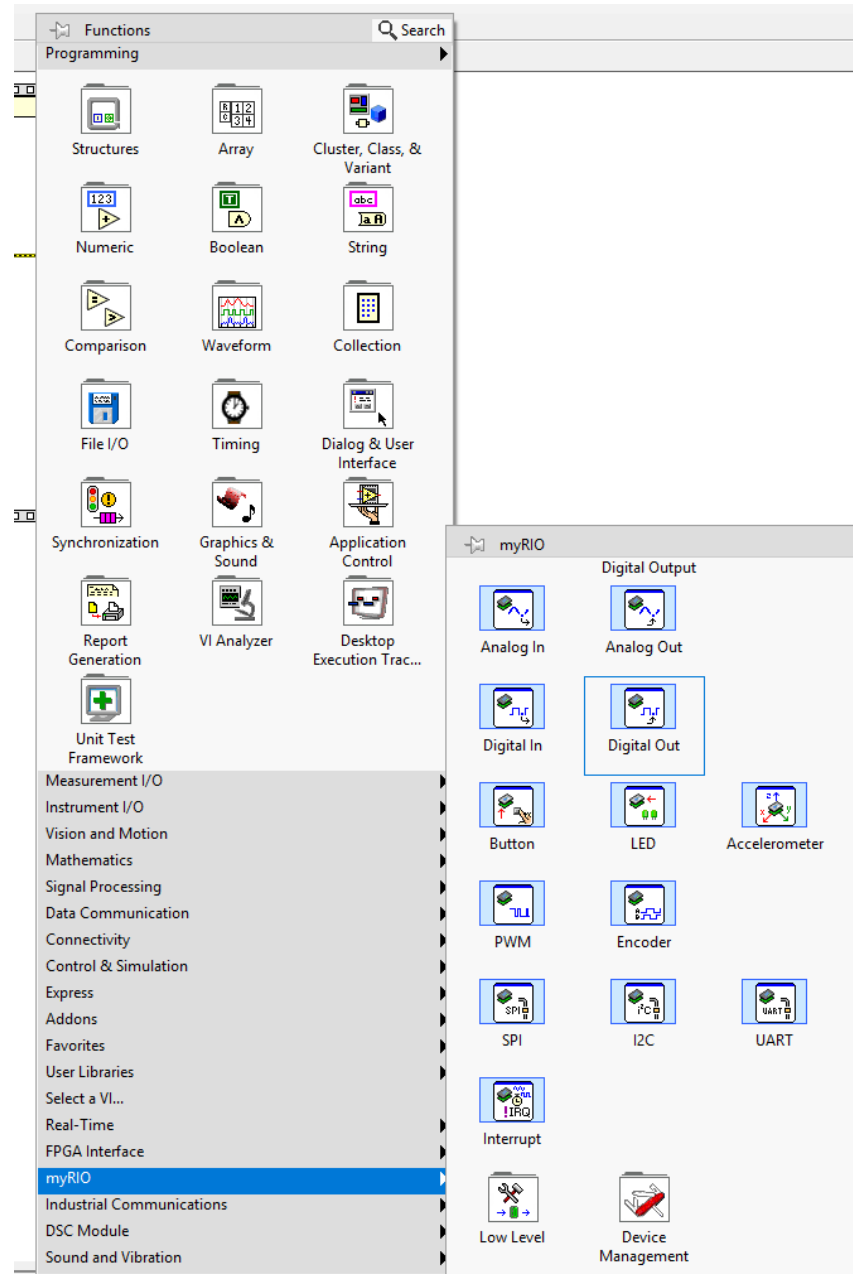
NI-myRIO-1900-032364d2 (172.22.11.2)

FPGA Personality
Default Supports general I/O, protocols, and interrupt. [Learn more](#)

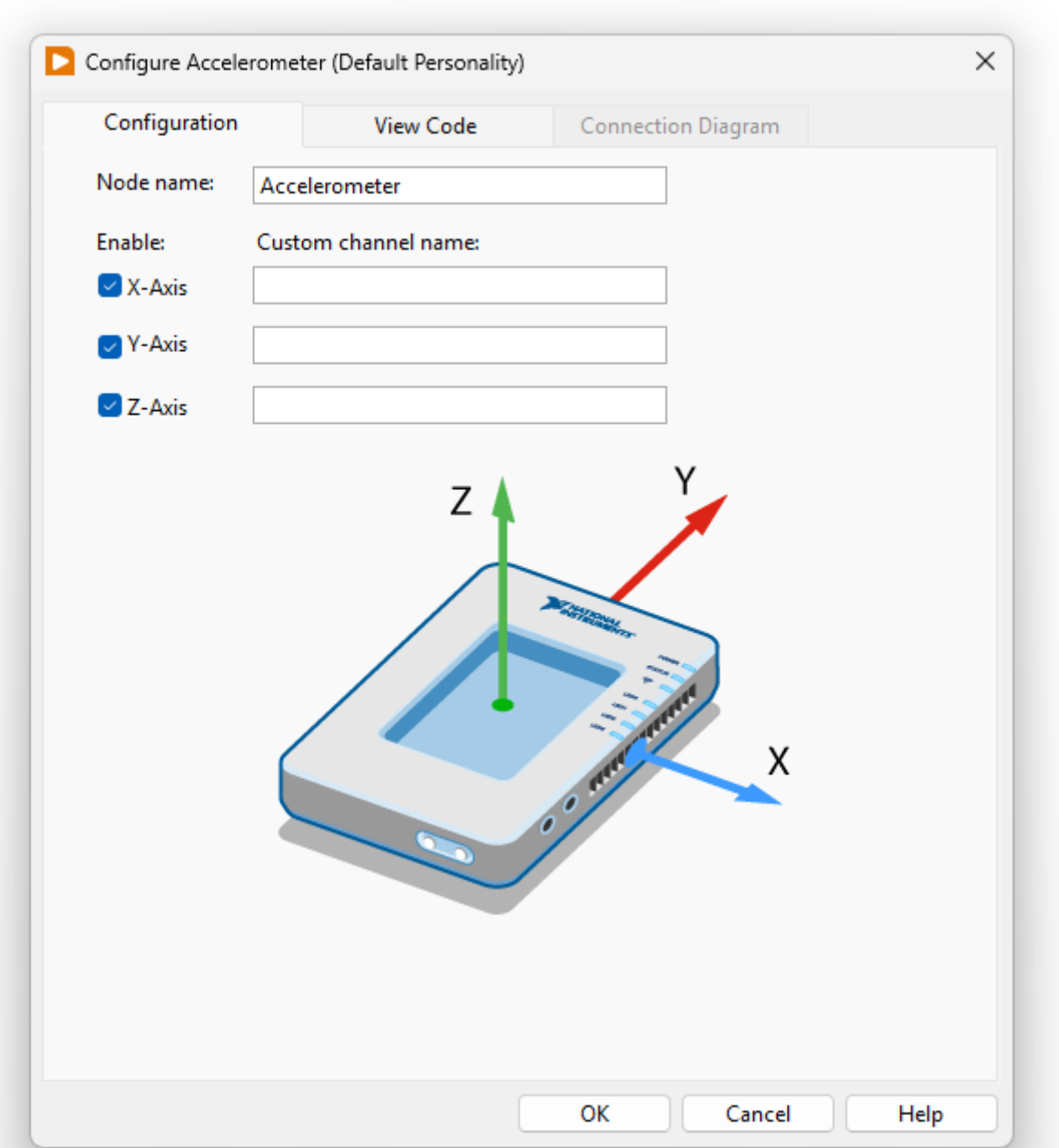
12 AI 8 AO 40 DIO 1 Button 4 LED 3 ACC 8 PWM 4 ENC 2 SPI 2 I2C 2 UART 8 IRQ

Back Finish Cancel Help

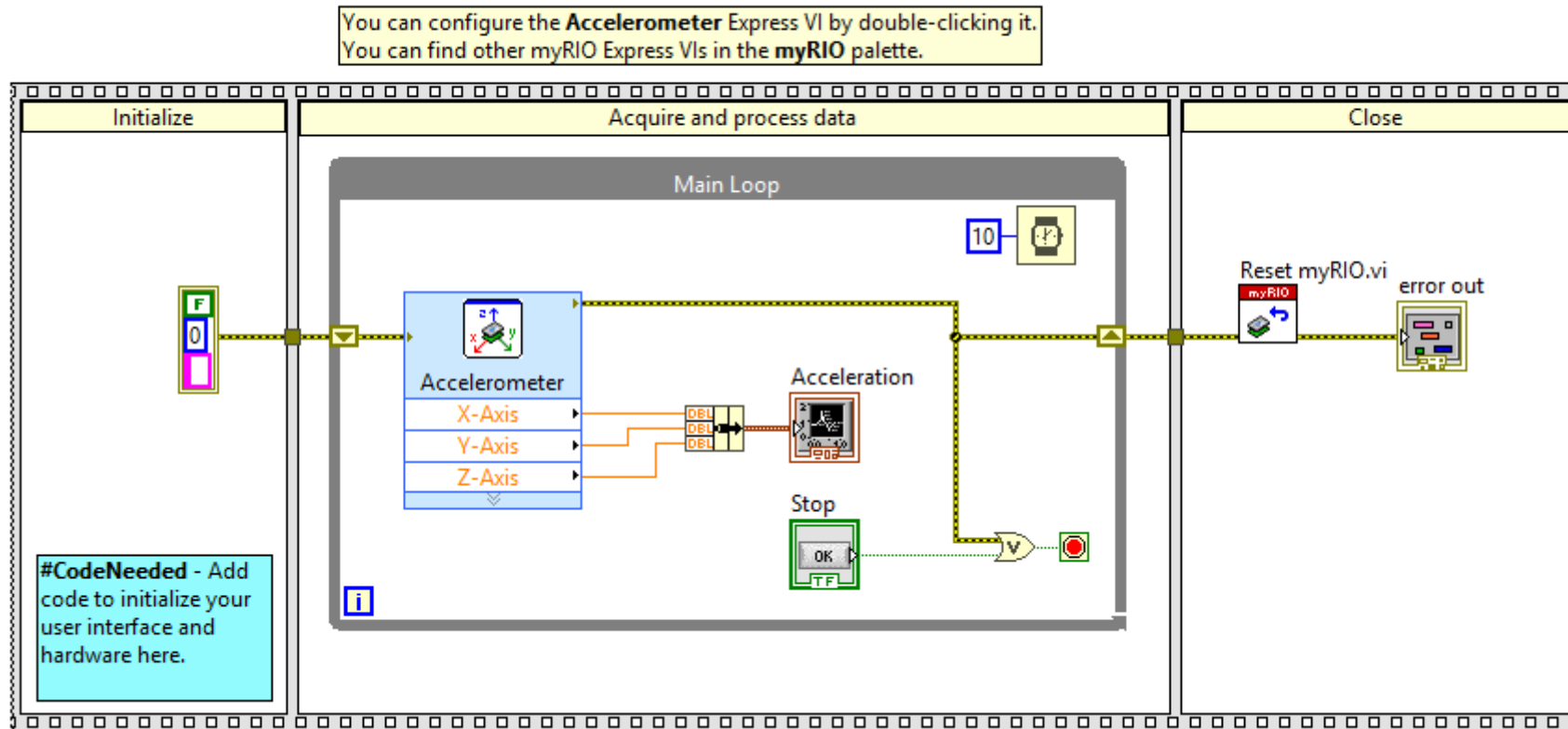
Facilitățile specifice arhitecturii predefinite



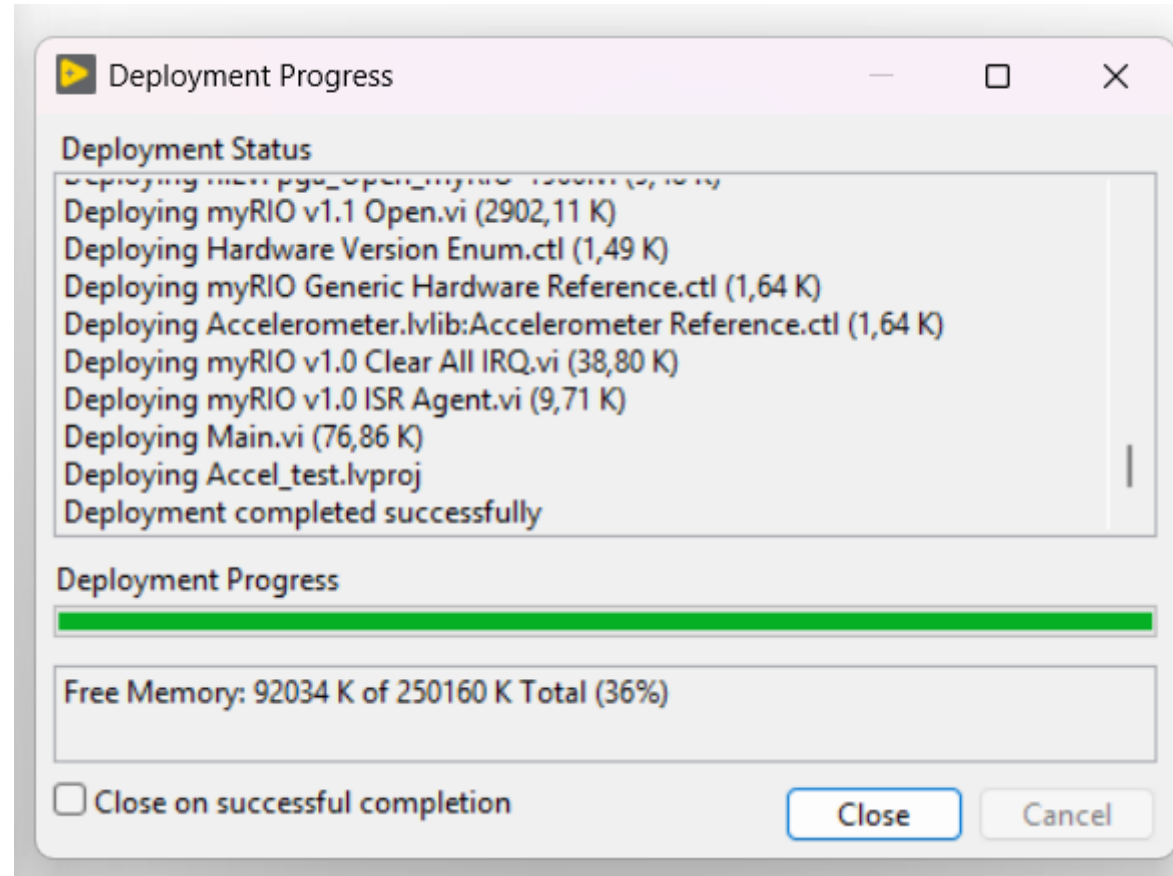
Facilitățile specifice arhitecturii predefinite – Posibilitatea particularizării modului de funcționare al perifericelor



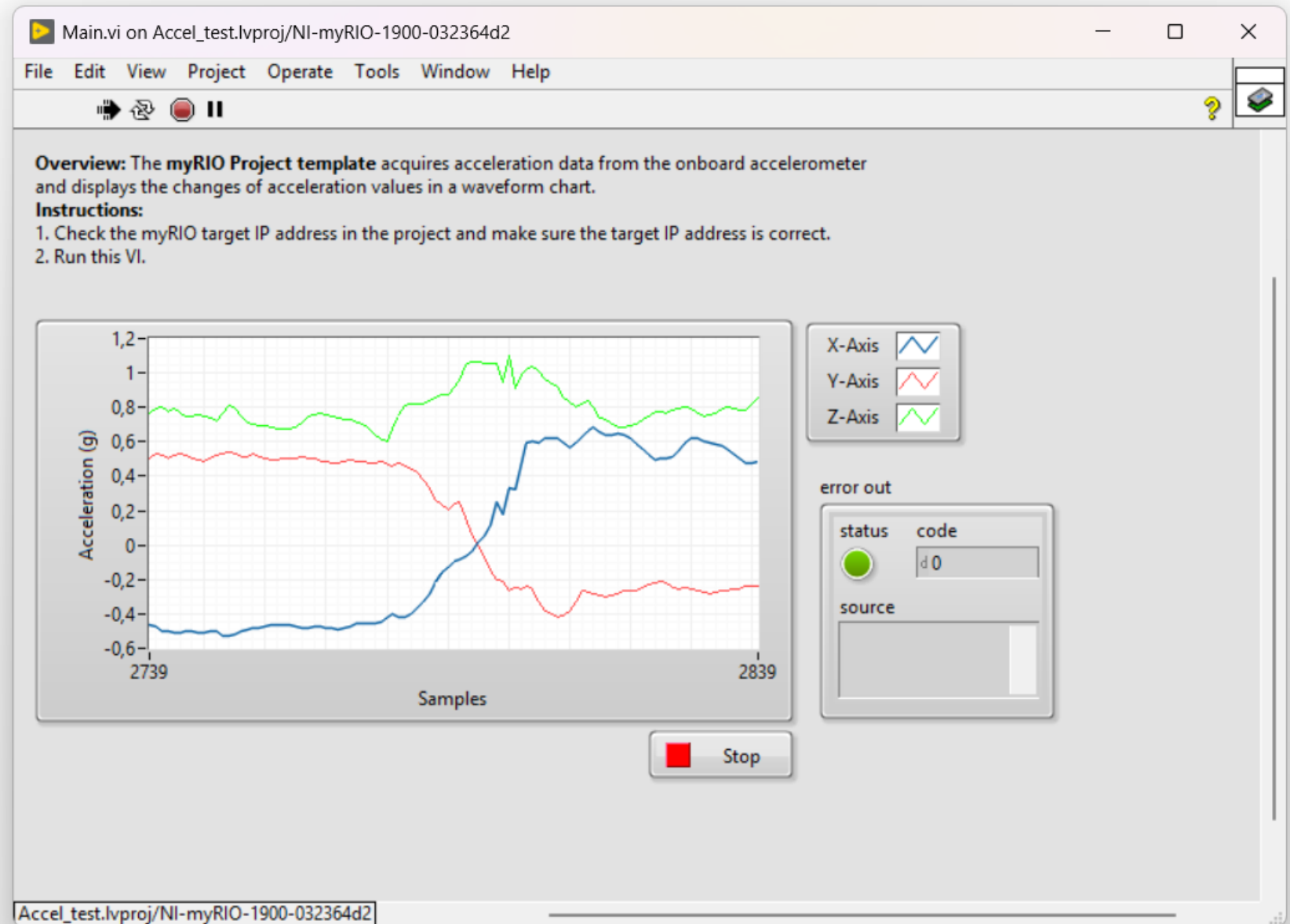
Implementarea unui program în mediul LabVIEW Real Time



Încărcarea programului în memoria platformei de dezvoltare



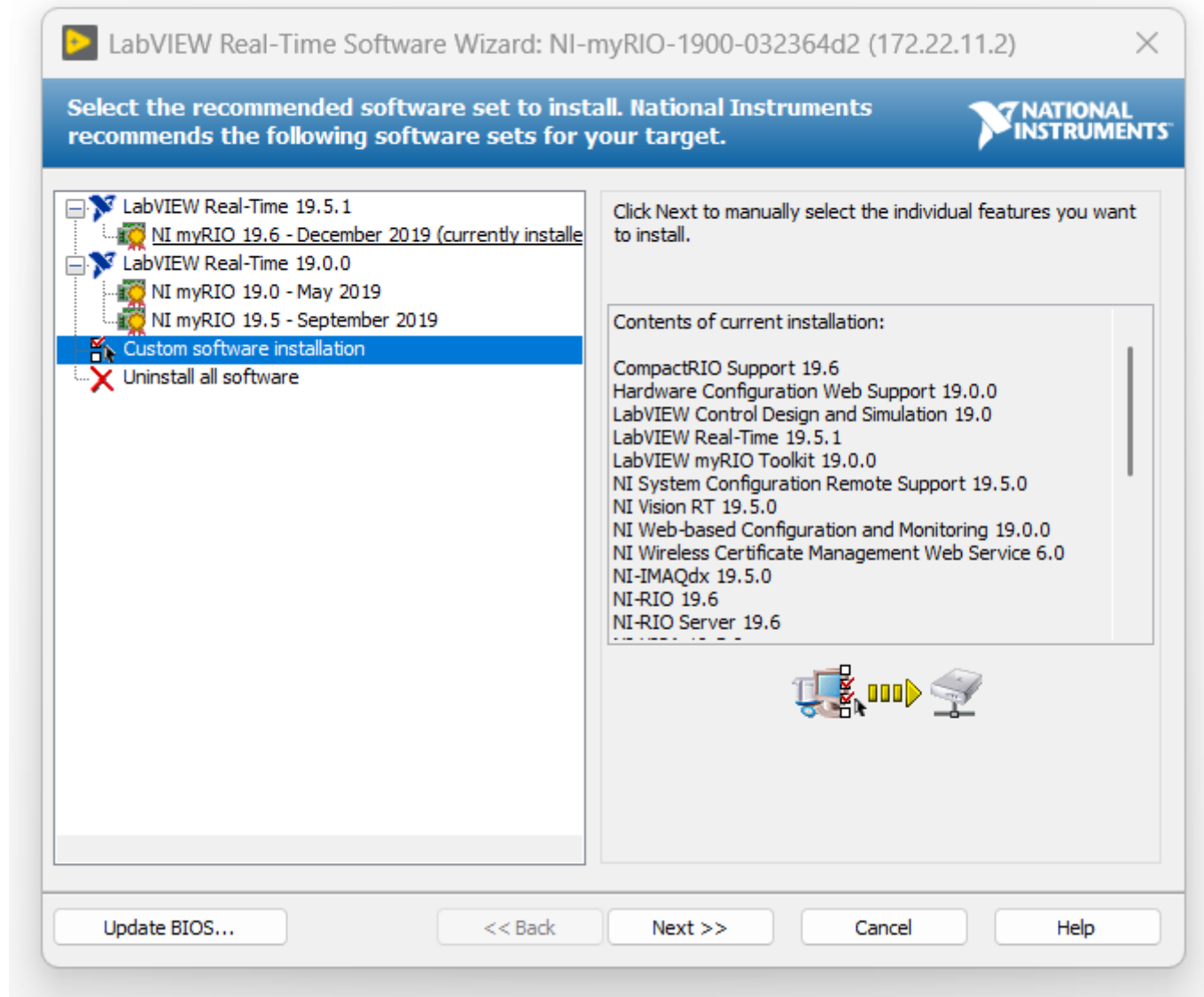
Rularea programului în memoria platformei



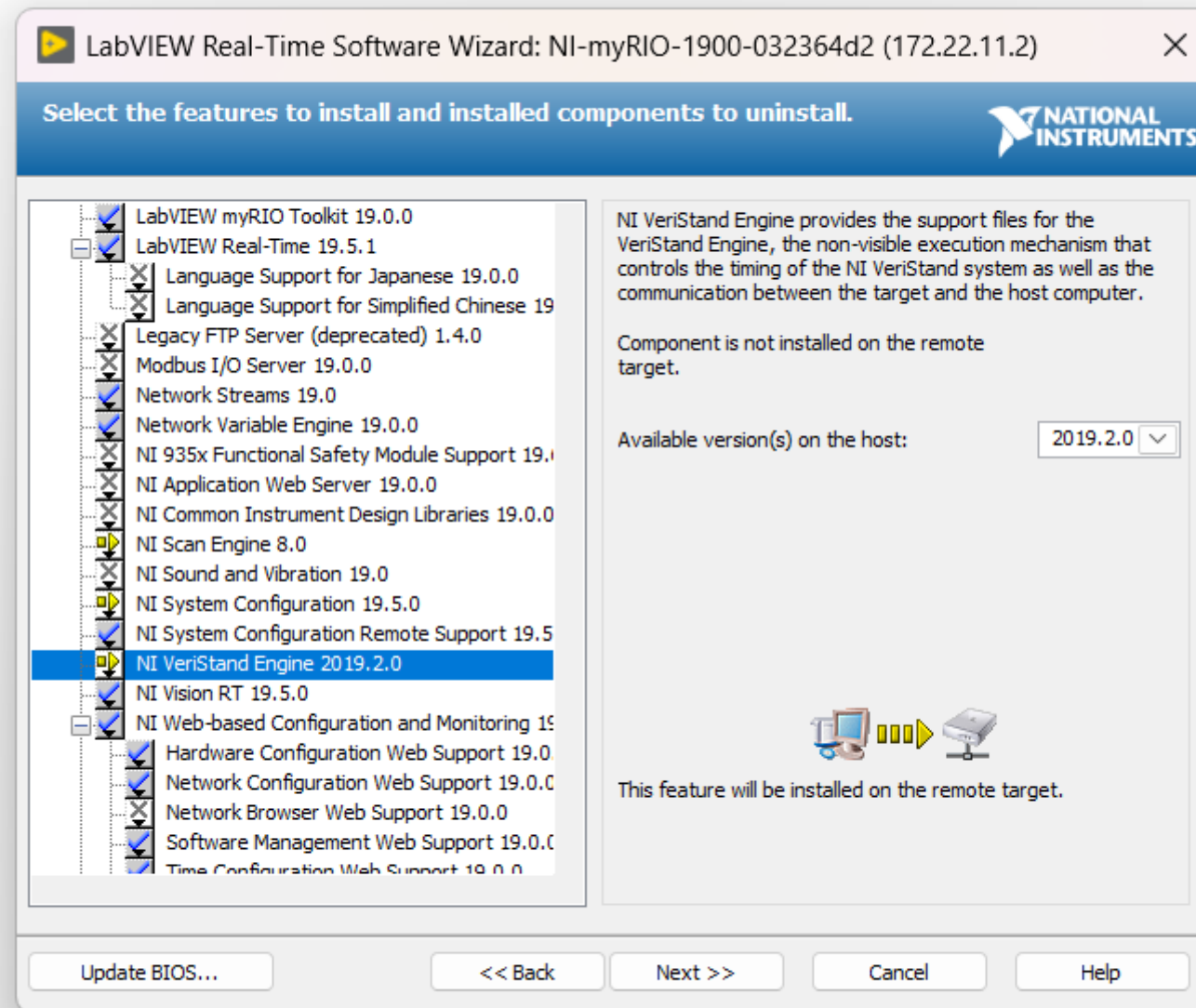
Prezentarea procedurii de re-configurarea a ariei de porți programabile (FPGA) în cadrul mediului NI LabVIEW FPGA

- ❖ Platforma de dezvoltare NI MyRIO 1900 este compatibilă și cu mediul de testare în timp real NI VeriStand
- ❖ Pentru a permite rularea aplicațiilor generate de mediul NI VeriStand în cadrul platformei NI MyRIO 1900 este necesară instalarea serviciilor NI VeriStand Engine la nivelul platformei de dezvoltare prin intermediul utilitarului NI MAX
- ❖ Rularea ulterioară instalării serviciului VeriStand Engine a aplicațiilor generate de către mediul NI LabVIEW Real Time va duce la ștergerea și înlocuirea serviciului VeriStand Engine cu LabVIEW RT, iar rularea aplicației VeriStand pe platforma MyRIO nu se va mai realiza!
- ❖ În vederea prevenirii unui astfel de impediment se va stabili din start direcția de dezvoltare a aplicației cu ajutorul platformei de dezvoltare NI MyRIO (LabVIEW RT sau VeriStand Engine)

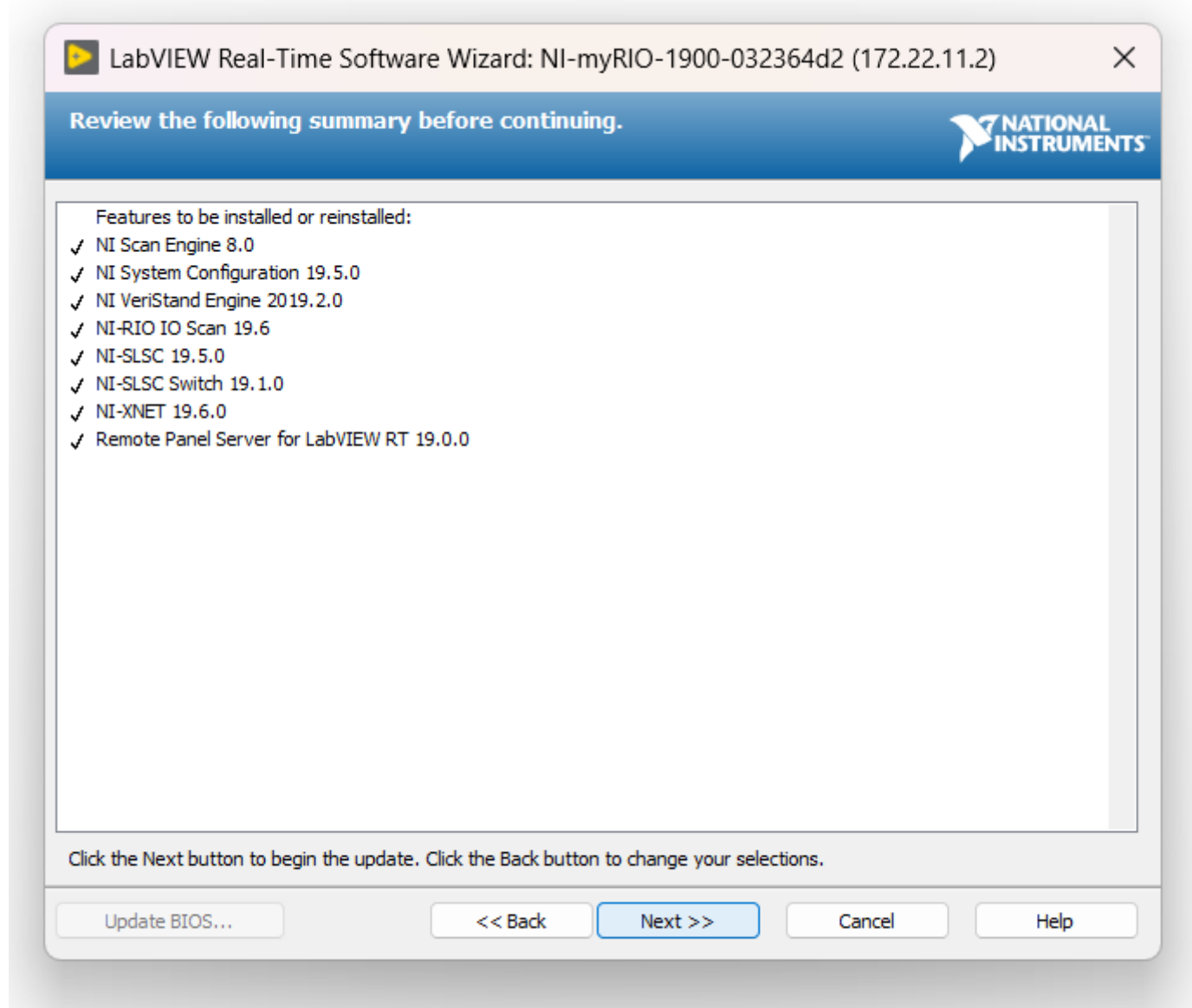
Instalarea serviciilor adiționale – NI VeriStand Engine



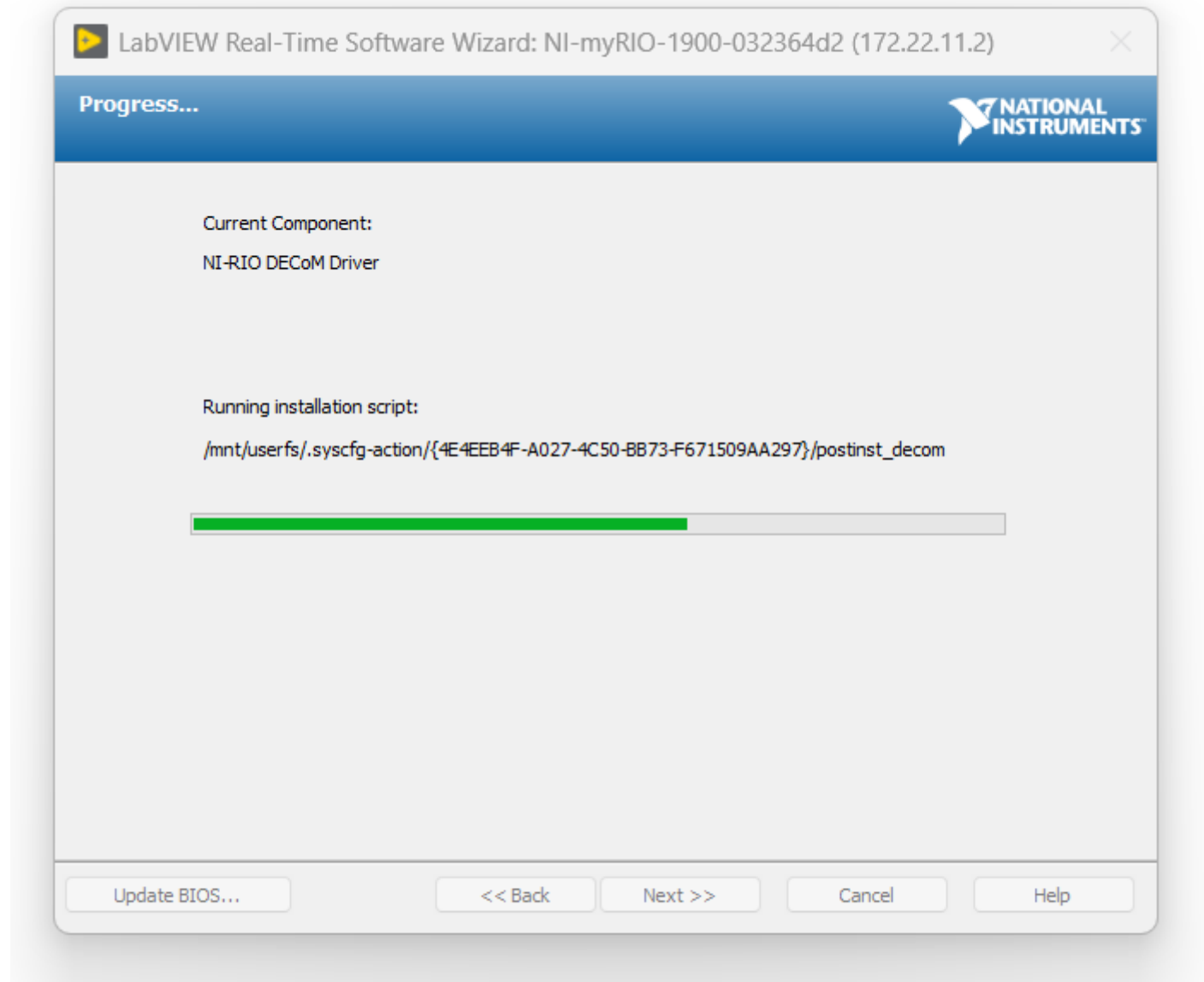
Instalarea serviciilor adiționale – NI VeriStand Engine



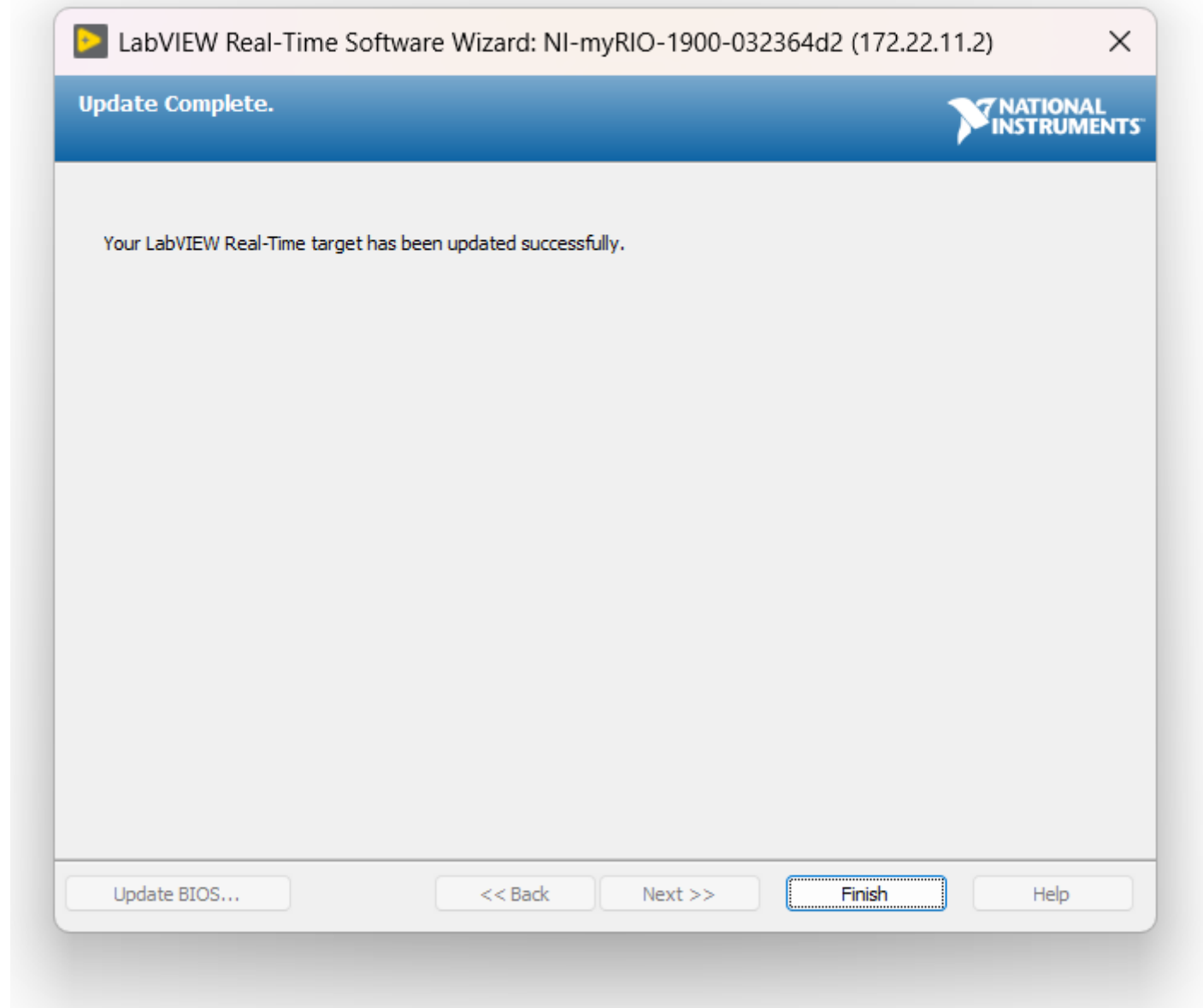
Instalarea serviciilor adiționale – NI VeriStand Engine



Instalarea serviciilor adiționale – NI VeriStand Engine



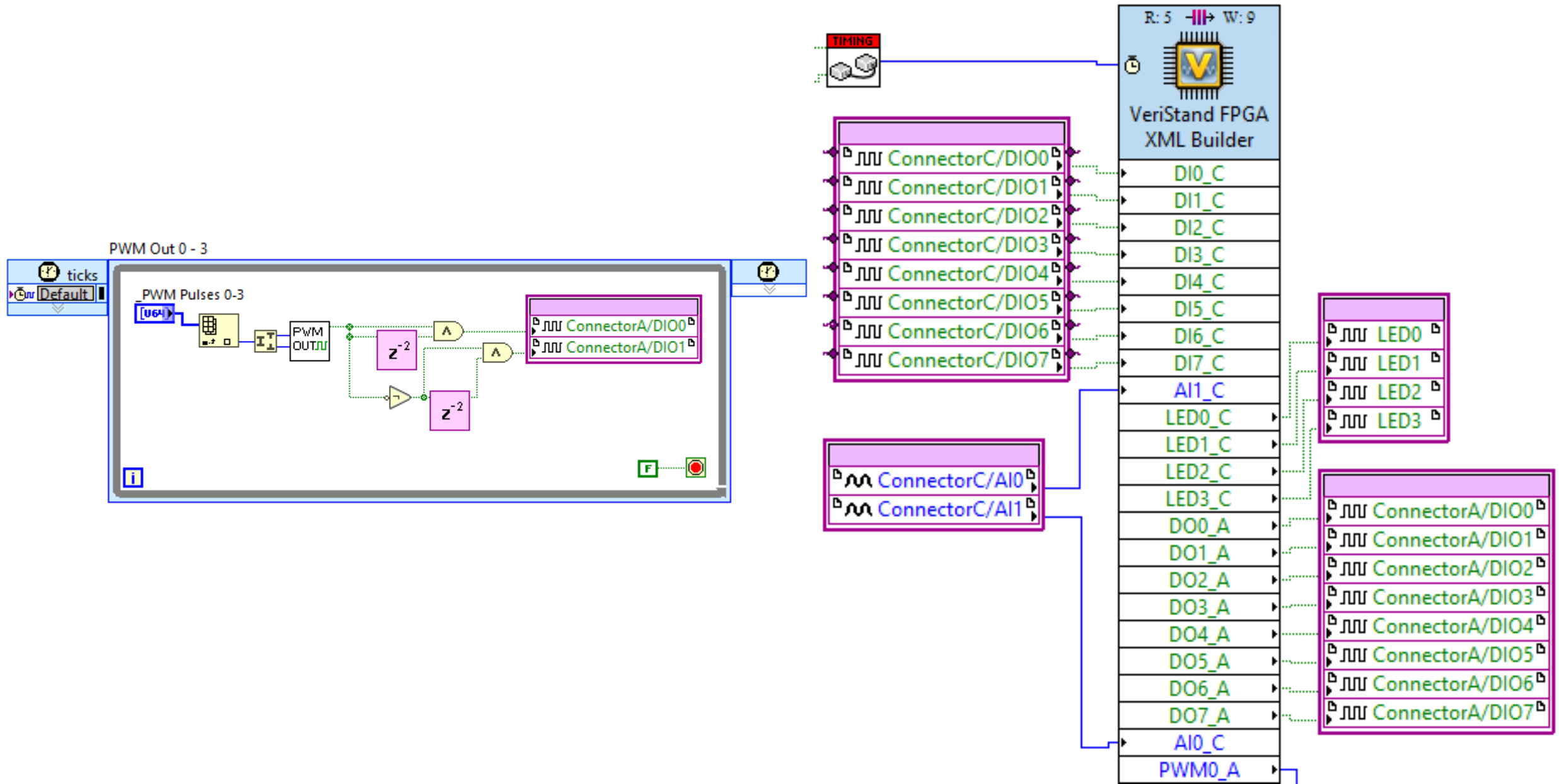
Instalarea serviciilor adiționale – NI VeriStand Engine



Prezentarea procedurii de re-configurarea a ariei de porți programabile (FPGA) în cadrul mediului NI LabVIEW FPGA

- ❖ Pentru a permite mediului NI VeriStand să gestioneze platforma de dezvoltare NI MyRIO 1900 este necesar a se parcurge procedura de re-configurare a procesorului logic (FPGA)
- ❖ Acronimul RIO provine de la specificația: periferice de intrare sau ieșire reconfigurabile (eng. reconfigurable input / output)
- ❖ Reconfigurarea arhitecturii procesorului logic (FPGA) se va realiza prin intermediul modulului LabVIEW FPGA
- ❖ Rezultatul procedurii de configurare constă în generarea unui fișier de tip BitStream care conține informația despre arhitectura procesorului logic

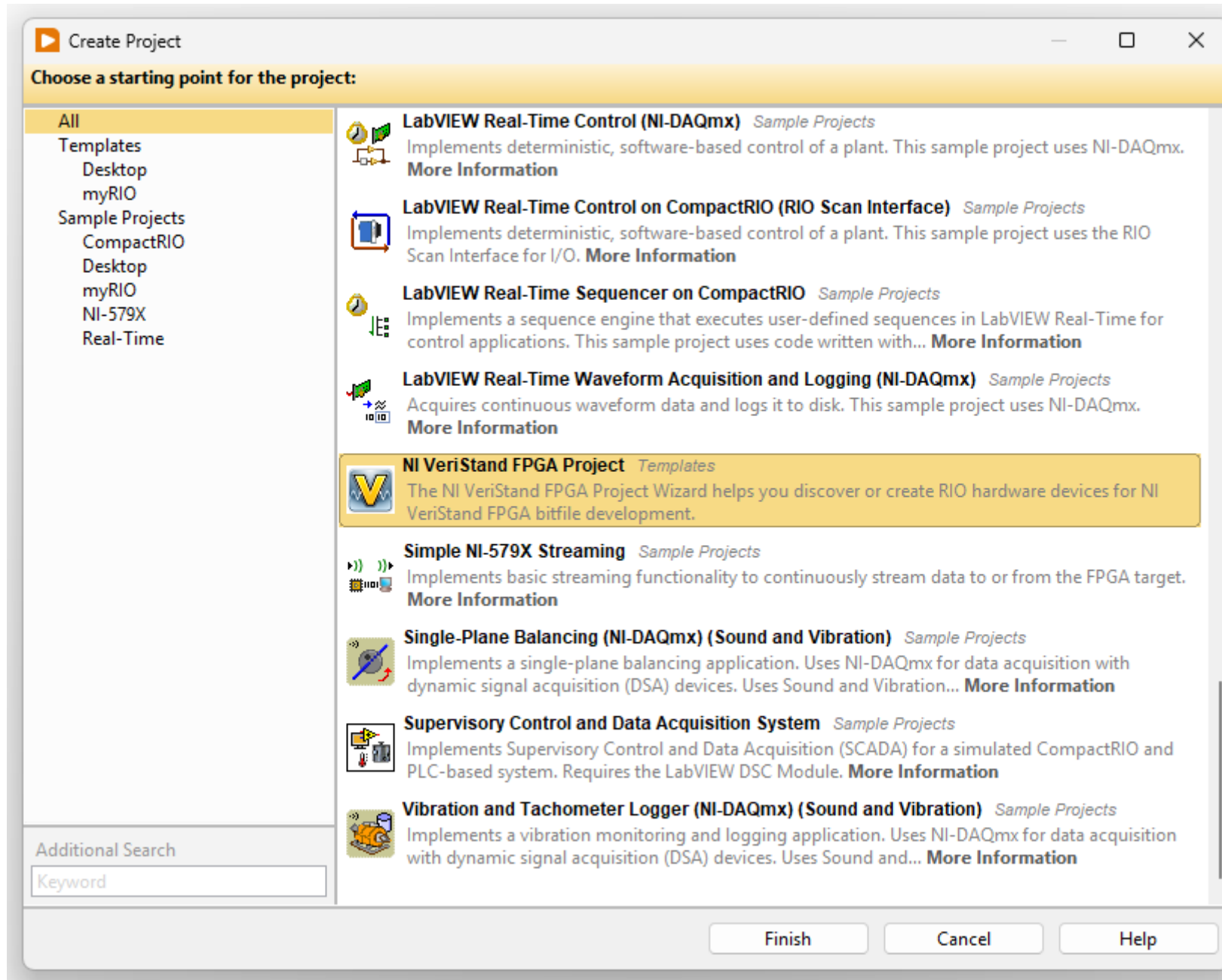
Reconfigurarea procesorului logic prin intermediul modului LabVIEW FPGA



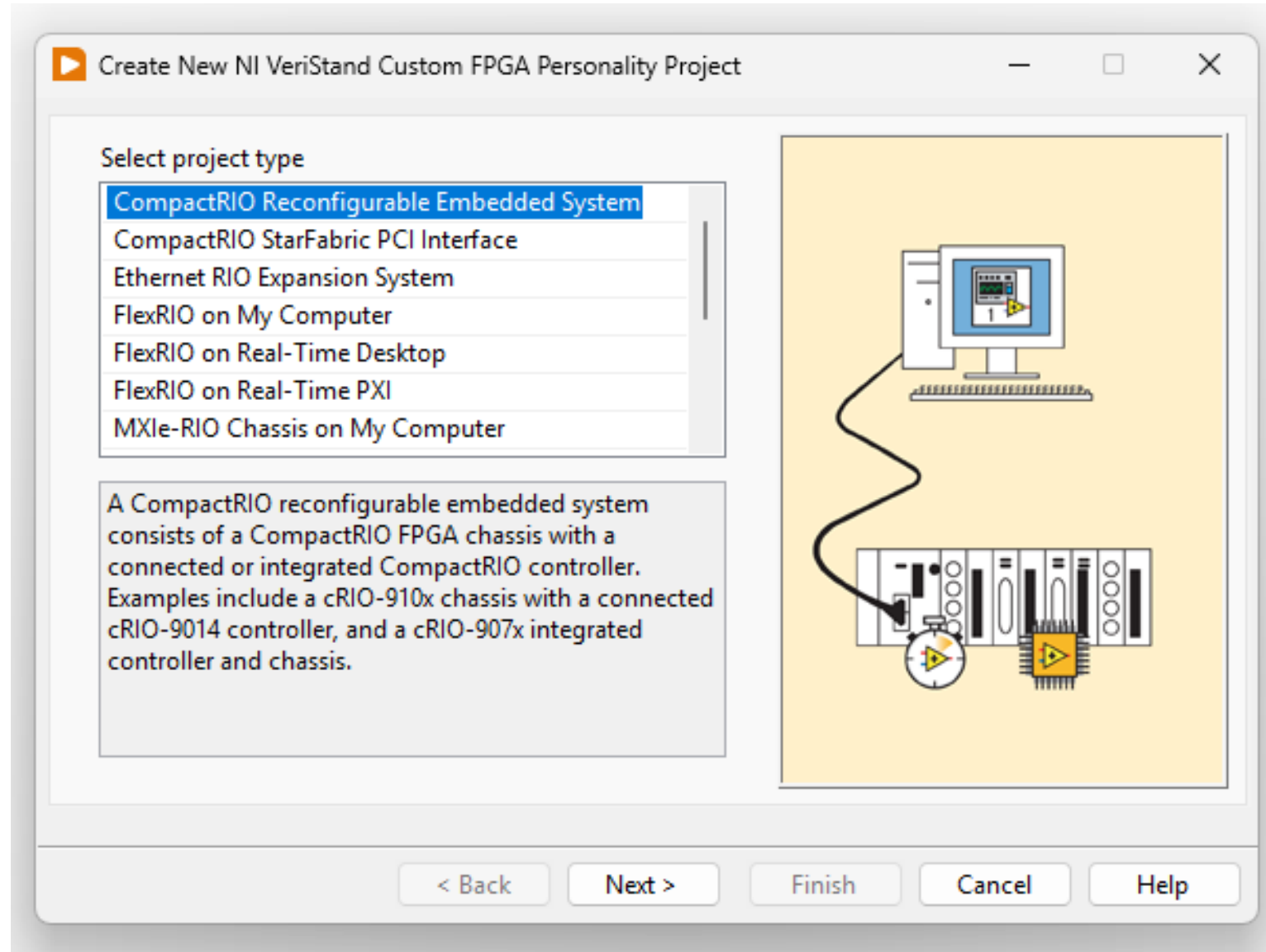
Prezentarea procedurii de re-configurarea a ariei de porți programabile (FPGA) în cadrul mediului NI LabVIEW FPGA

- ❖ Pentru a crea un fișier de definiție compatibil cu mediul NI VeriStand, sunt necesare următoarele extensii în cadrul mediului LabVIEW FPGA:
- ✓ NI VeriStand Custom FPGA Project Wizard
- ✓ NI VeriStand Add-On: FPGA XML Builder Node

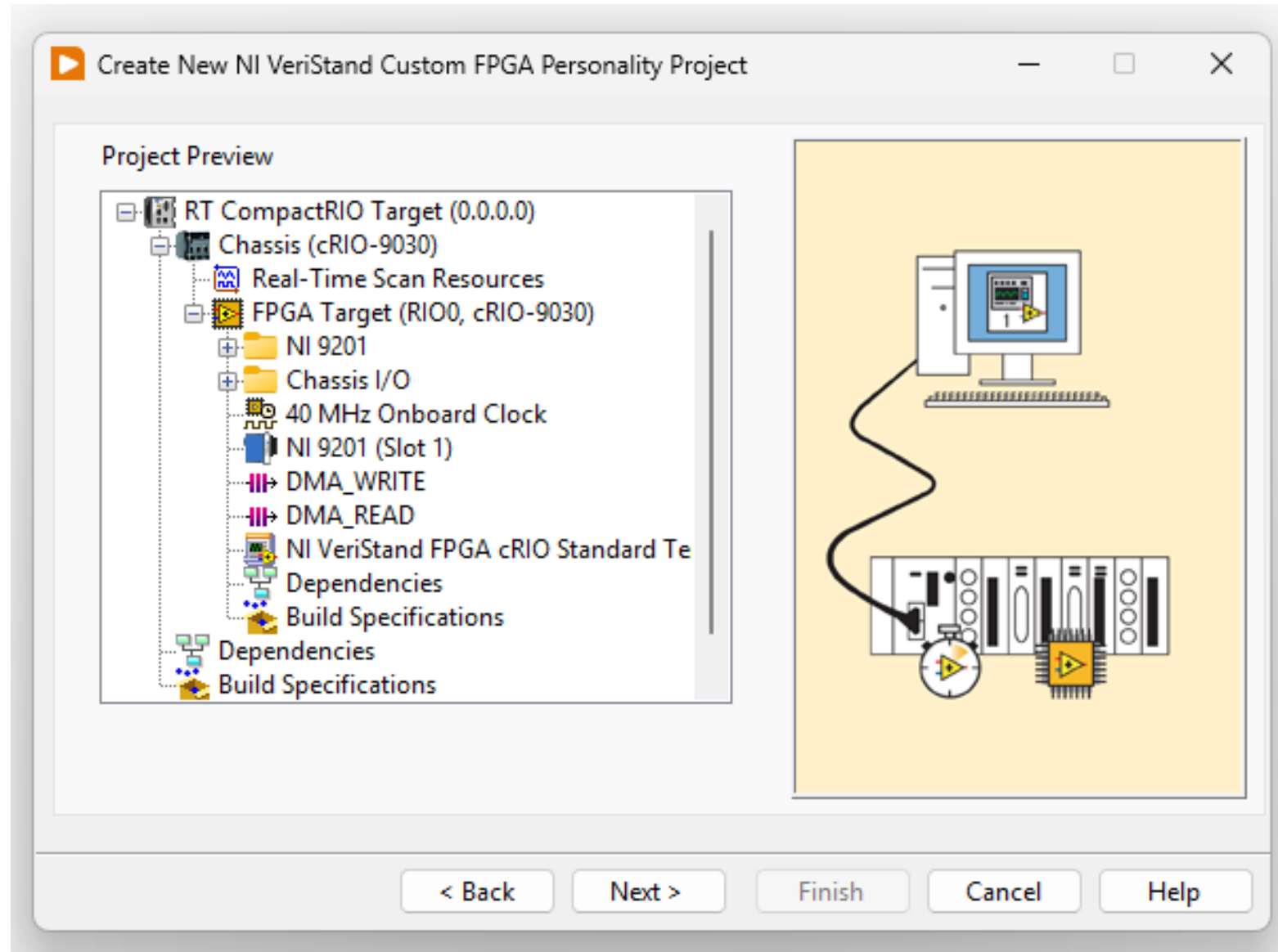
NI VeriStand Custom FPGA Project Wizard



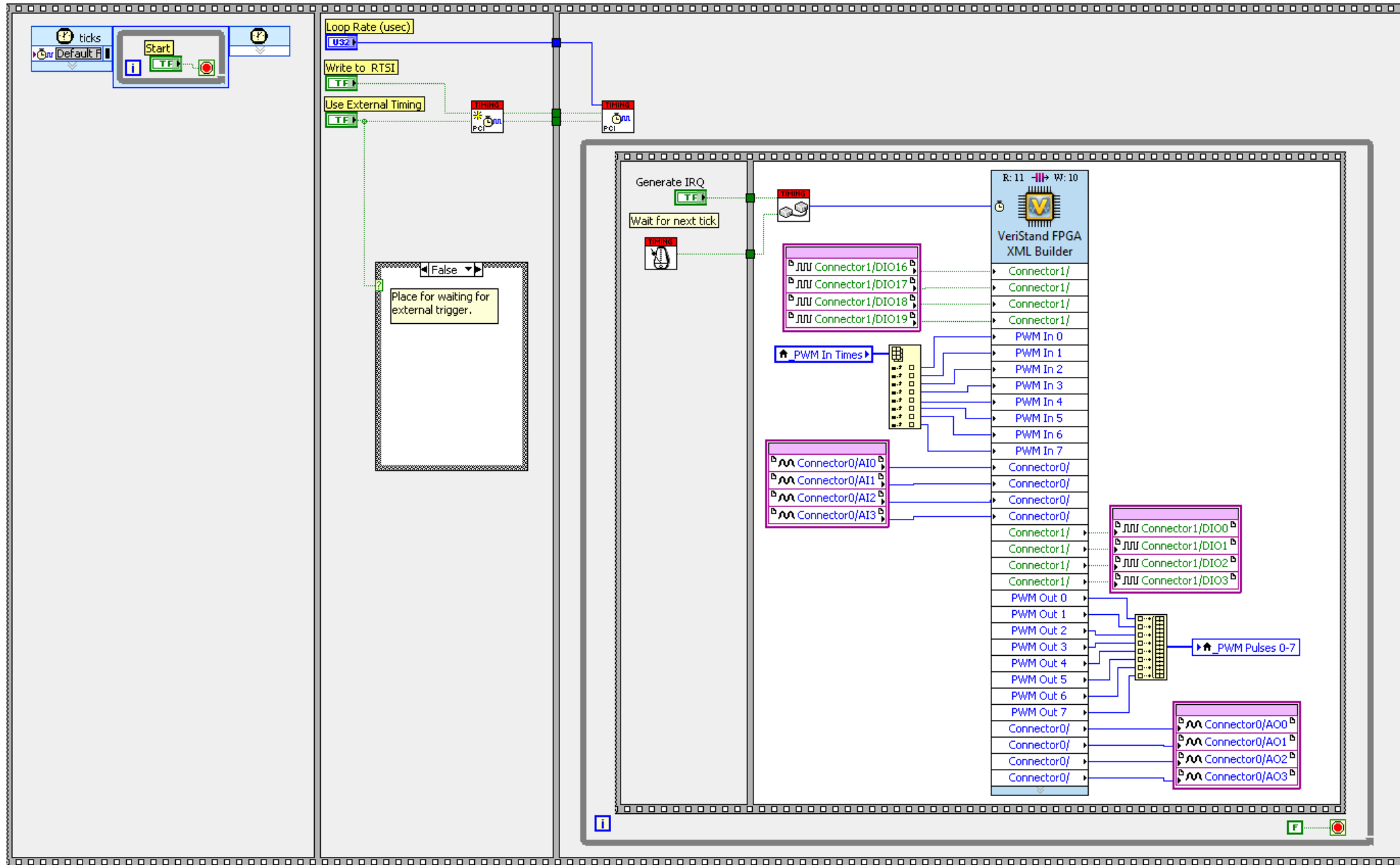
NI VeriStand Custom FPGA Project Wizard



NI VeriStand Custom FPGA Project Wizard



NI VeriStand Add-On FPGA XML Builder Node



NI VeriStand Add-On FPGA XML Builder Node

Node Configuration.vi

Node Configuration

Channels/Categories	Index	Signal Type	Data Type
Input			
AI			
Connector0/AI0	12	AI	I16
Connector0/AI1	13	AI	I16
Connector0/AI2	14	AI	I16
Connector0/AI3	15	AI	I16
DI			
Connector1/DIO16	0	DI	Boolean
Connector1/DIO17	1	DI	Boolean
Connector1/DIO18	2	DI	Boolean
Connector1/DIO19	3	DI	Boolean
PWM In			
PWM In 0	4	PWM In	U64
PWM In 1	5	PWM In	U64
PWM In 2	6	PWM In	U64
PWM In 3	7	PWM In	U64
PWM In 4	8	PWM In	U64
PWM In 5	9	PWM In	U64

NI VeriStand Preview

FPGA

- RIO0
 - Input
 - AI
 - Connector0/AI0
 - Connector0/AI1
 - Connector0/AI2
 - Connector0/AI3
 - DI
 - Connector1/DIO16
 - Connector1/DIO17
 - Connector1/DIO18
 - Connector1/DIO19
 - PWM In
 - PWM In 0
 - PWM In 1
 - PWM In 2
 - PWM In 3
 - PWM In 4
 - PWM In 5

Channel Configuration

Channel Specifications

Name: Connector0/AI0 Unit:

Description:

Channel Settings

Initial Value: Scale: Offset:

Name of Corresponding Bitfile:

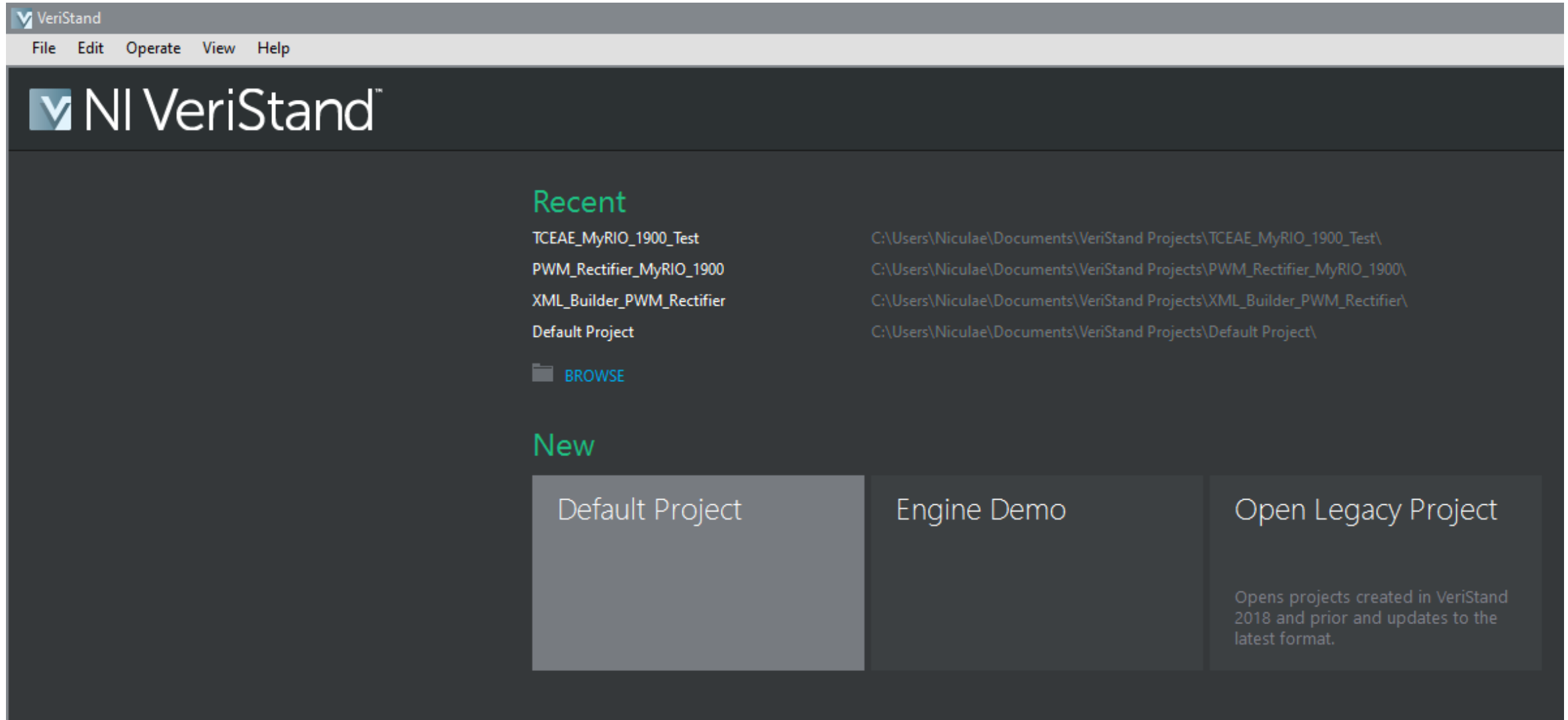
Path to VeriStand FPGA XML Folder:

Accept Changes & Generate XML Save Changes & Close Cancel

Prezentarea procedurii de configurare a platformei NI MyRIO în cadrul mediului de testare în timp real NI VeriStand

- ❖ Pentru integra platforma de dezvoltare NI MyRIO 1900 în cadrul mediului NI VeriStand se vor parcurge următoarele etape:
- ✓ Se va lansa în execuție mediul NI VeriStand 2019 R3
- ✓ Din cadrul meniului principal se va alege opțiunea „New” > „Default Project”
- ✓ În fereastra de dialog se va alege denumirea proiectului „TCEAE_MyRIO1_900_Lab_1” și se va confirma prin comanda „Create”
- ✓ Din bara de instrumente se va alege opțiunea „Configure...”

Alegerea opțiunii „Default Project” din meniul principal NI VeriStand



Denumirea noului proiect NI VeriStand

Default Project

X

Default Project

Project Name

TCEAE_MyRIO1_900_Lab_1

Location

VeriStand Projects

...

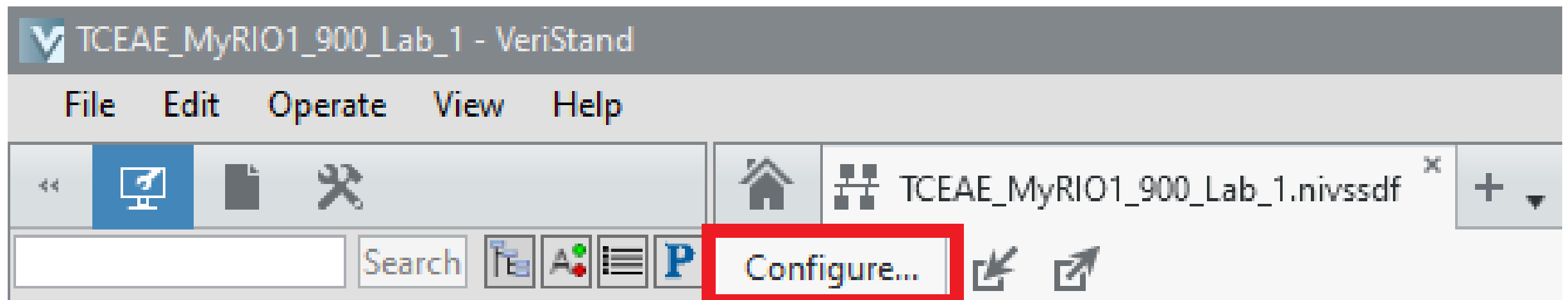
System Definition

None chosen

...

Create

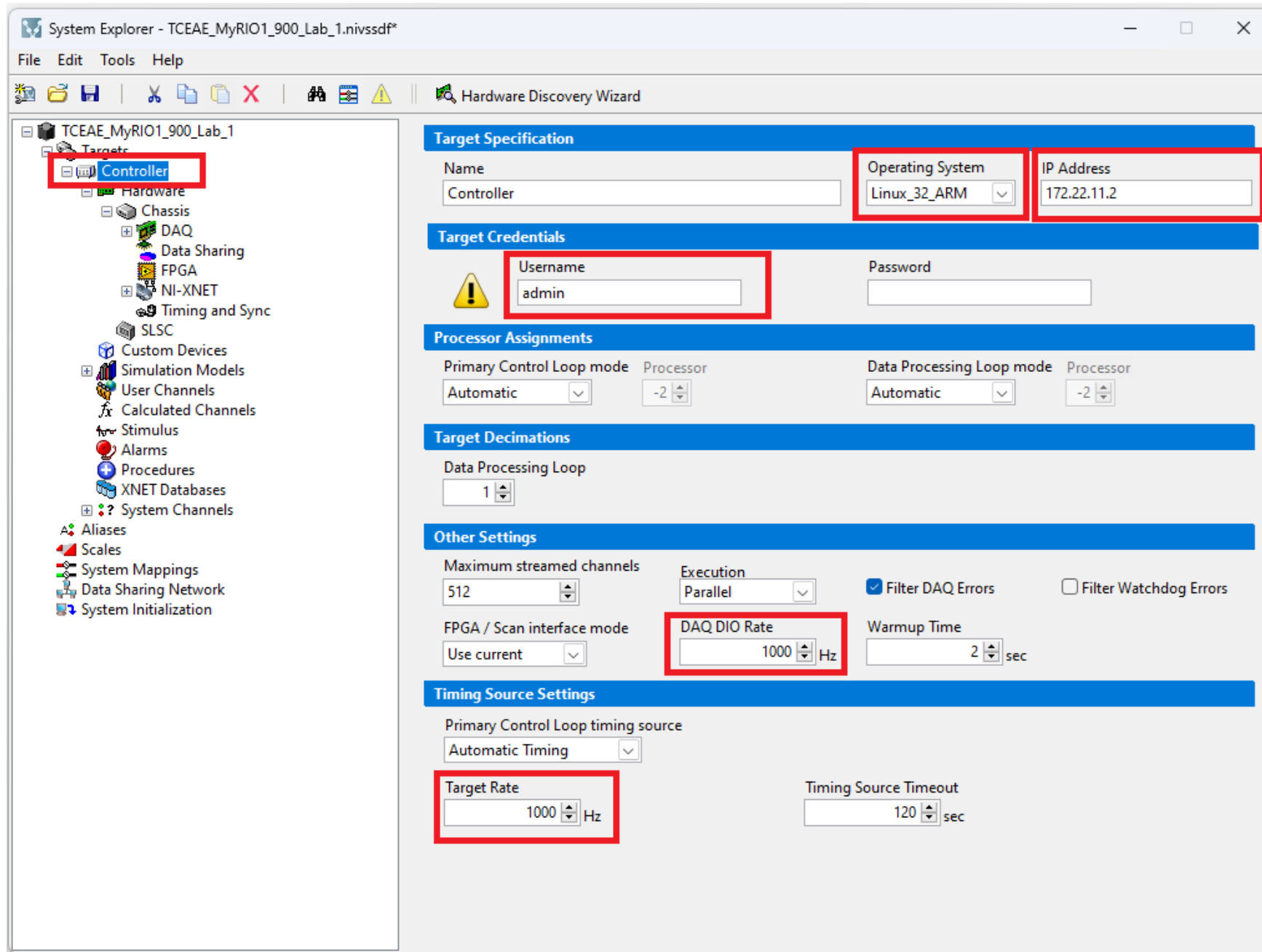
Alegerea opțiunii „Configure...”



Prezentarea procedurii de configurare a platformei NI MyRIO în cadrul mediului de testare în timp real NI VeriStand

- ❖ Din fereastra de dialog „System Explorer”, se va alege sub-categoria „Controller”, iar în partea dreaptă se vor configura următorii parametrii:
- ✓ Operating System: Linux_32_ARM;
- ✓ IP Address: 172.22.11.2;
- ✓ Username: admin
- ✓ DAQ DIO Rate: 1000 [Hz];
- ✓ Target Rate: 1000 [Hz];

Fereastra de dialog „System Explorer” – secțiunea „Controller”



System Explorer - TCEAE_MyRIO1_900_Lab_1.nivssdf*

File Edit Tools Help

Hardware Discovery Wizard

TCEAE_MyRIO1_900_Lab_1

- Targets
 - Controller**
 - Hardware
 - Chassis
 - DAQ
 - Data Sharing
 - FPGA
 - NI-XNET
 - Timing and Sync
 - SLSC
 - Custom Devices
 - Simulation Models
 - User Channels
 - Calculated Channels
 - Stimulus
 - Alarms
 - Procedures
 - XNET Databases
 - System Channels
 - Aliases
 - Scales
 - System Mappings
 - Data Sharing Network
 - System Initialization

Target Specification

Name: Controller

Operating System: Linux_32_ARM

IP Address: 172.22.11.2

Target Credentials

Username: admin

Password:

Processor Assignments

Primary Control Loop mode: Automatic

Processor: -2

Data Processing Loop mode: Automatic

Processor: -2

Target Decimations

Data Processing Loop: 1

Other Settings

Maximum streamed channels: 512

Execution: Parallel

☒ Filter DAQ Errors ☐ Filter Watchdog Errors

FPGA / Scan interface mode: Use current

DAQ DIO Rate: 1000 Hz

Warmup Time: 2 sec

Timing Source Settings

Primary Control Loop timing source: Automatic Timing

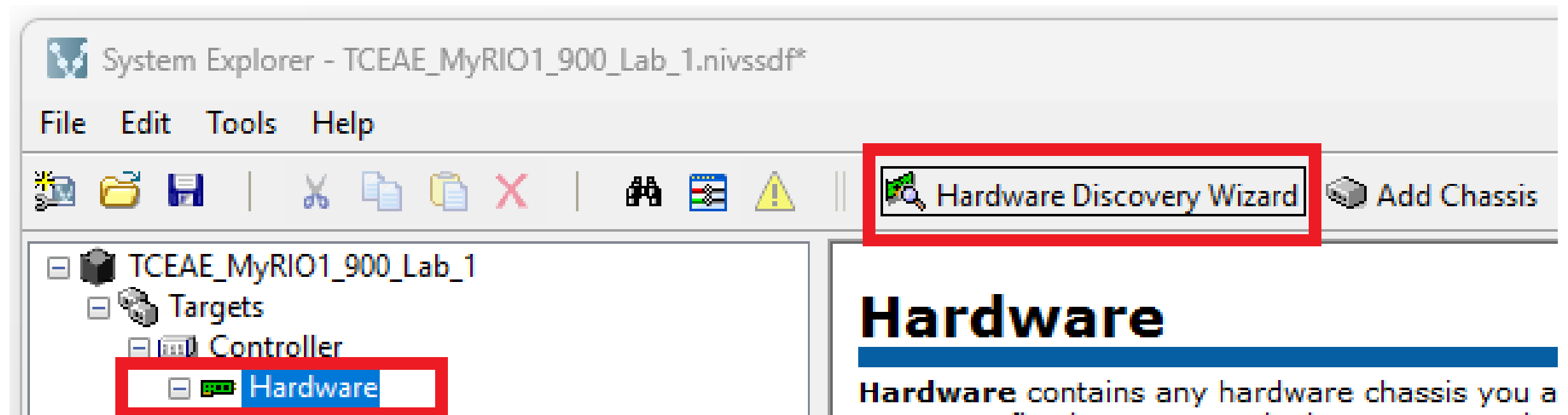
Target Rate: 1000 Hz

Timing Source Timeout: 120 sec

Prezentarea procedurii de configurare a platformei NI MyRIO în cadrul mediului de testare în timp real NI VeriStand

- ✓ Din fereastra de dialog „System Explorer”, se va alege sub-categoria „Hardware” iar din bara de instrumente „Hardware Discovery Wizard”:
- ✓ În următoarea fereastră de dialog se va identifica un nucleu de tip FPGA
- ✓ Se va trece mai departe la etapa de adăugare în proiect a nucleului FPGA
- ✓ Se va finaliza adăugarea prin apăsarea succesivă a butonului „Next” (înainte sau mai departe) iar în final se va alege butonul „Finish” (finalizare)
- ✓ Nucleul FPGA „RIO0” va fi identificat în sub-categoria FPGA din fereastra de dialog „System Explorer”. Alegând această sub-categorie va fi posibilă operația de încărcare în memorie a fișierului de configurare „bitstream” în secțiunea „FPGA configuration” – Se va alege fișierul „MyRIO_VeriStand_Definition_File.fpgaconfig”

Alegerea sub-categoriei „Hardware” și opțiunea „Hardware Discovery Wizard”



Identificarea nucleului FPGA din cadrul platformei NI MyRIO 1900

Step 1 of 4: Search for Hardware

Launching Hardware Discovery Wizard

Finished finding all supported hardware in the system.

Click **Next** to continue.

Description:

This page shows the status of searches for supported hardware types on connected targets.

Green means the search for a type of hardware is complete.

Hardware Type	IP Address	Status	# Devices Found
DAQ	172.22.11.2		0
FPGA	172.22.11.2		1
GE	172.22.11.2		0
CAN	172.22.11.2		0
FlexRay	172.22.11.2		0
LIN	172.22.11.2		0

Back

Next

Cancel

Adăugarea în proiect a nucleului FPGA identificat

 Step 2 of 4: Match Hardware to System Explorer Nodes



Discovered Hardware

 Controller



 : myRIO-1900 "RIO0"

System Explorer Nodes

Chassis

<Add New>

Description:

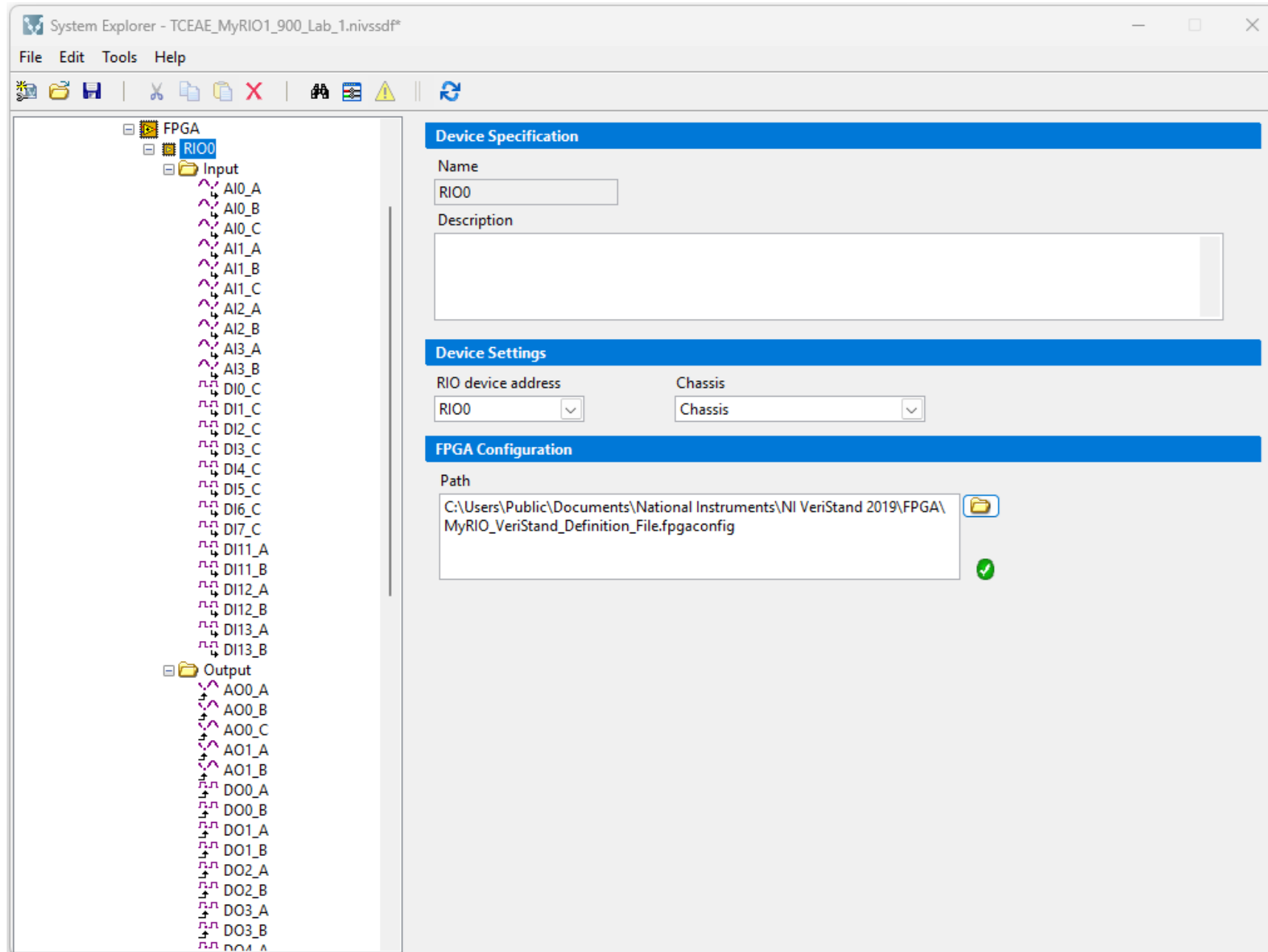
This page shows the hardware devices discovered under each target.

Prezentarea procedurii de configurare a platformei NI MyRIO în cadrul mediului de testare în timp real NI VeriStand

OBSERVAȚIE: Odată cu încărcarea fișierului de configurare a nucleului FPGA în NI VeriStand vor fi disponibile terminalele de intrare și ieșire ale platformei NI MyRIO 1900. Prin intermediul fișierului de configurare al nucleului FPGA se pot stabili funcțiile resurselor periferice ale platformei de dezvoltare.

❖ Se va încheia procedura de configurare prin alegerea comenzii „Save” (iconița în formă de dischetă) apoi comanda „Close”.

Încărcarea fișierului de configurare pentru FPGA (bitstream)

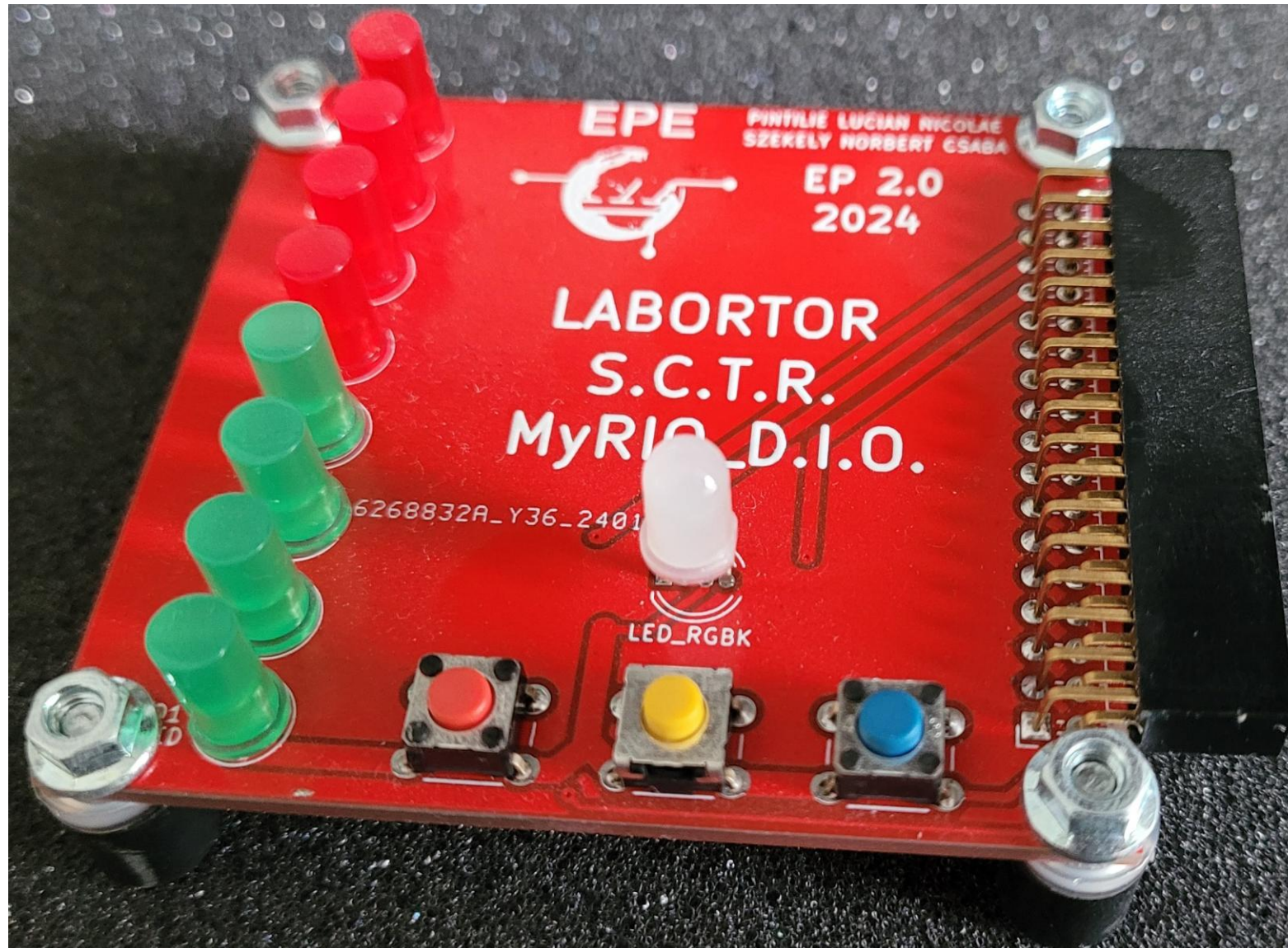


Implementarea diverselor aplicații simple în mediul NI VeriStand

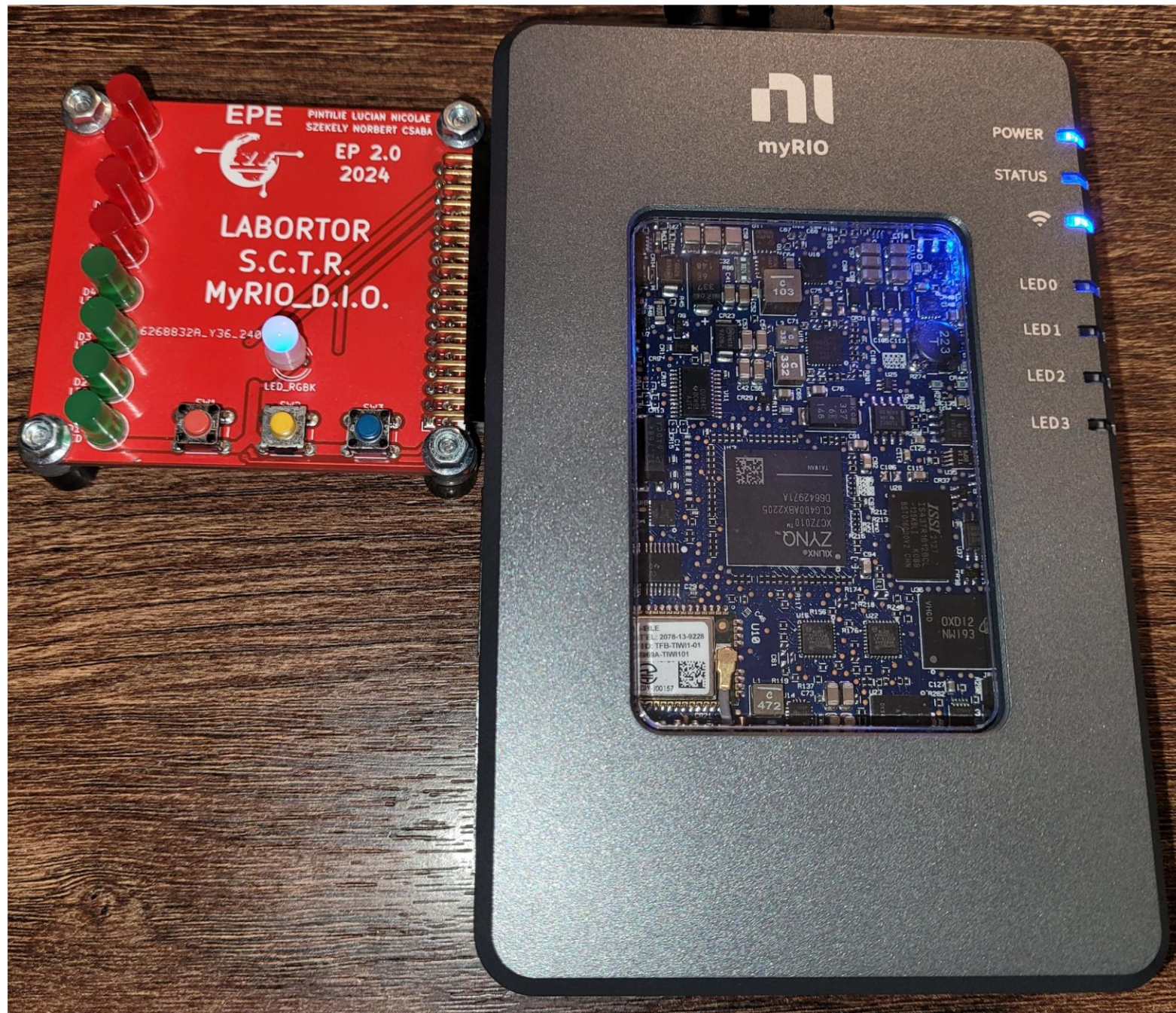
❖ Pentru testarea funcționalității fișierului de reconfigurare al procesorului logic (FPGA), se va utiliza plăcuța modulară nr. 1 în cadrul căreia se regăsesc următoarele componente electronice:

Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
D1 LED	DO0_A – MXP A	11	Ieșire digitală
D2 LED	DO1_A – MXP A	13	Ieșire digitală
D3 LED	DO2_A – MXP A	15	Ieșire digitală
D4 LED	DO3_A – MXP A	17	Ieșire digitală
D5 LED	DO4_A – MXP A	19	Ieșire digitală
D6 LED	DO5_A – MXP A	21	Ieșire digitală
D7 LED	DO6_A – MXP A	23	Ieșire digitală
D8 LED	DO7_A – MXP A	25	Ieșire digitală
LED_RGBK - R	PWM0_A – MXP A	27	Ieșire digitală pulsatorie
LED_RGBK - G	PWM1_A – MXP A	29	Ieșire digitală pulsatorie
LED_RGBK - B	PWM2_A – MXP A	31	Ieșire digitală pulsatorie
SW1	DI11_A – MXP A	18	Intrare digitală
SW2	DI12_A – MXP A	22	Intrare digitală
SW3	DI13_A – MXP A	26	Intrare digitală

Plăcuța modulară nr. 1



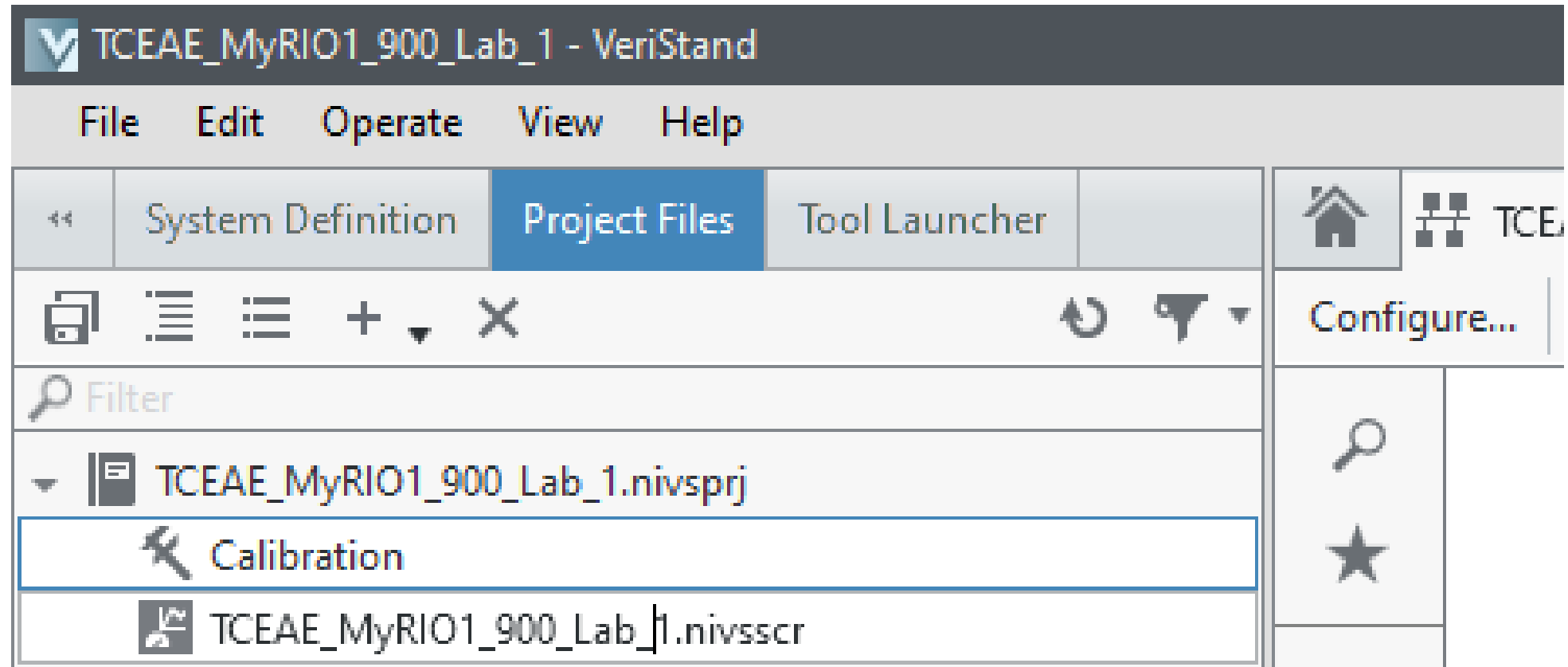
Atașarea plăcuței la platforma NI MyRIO 1900 la portul MXP_A



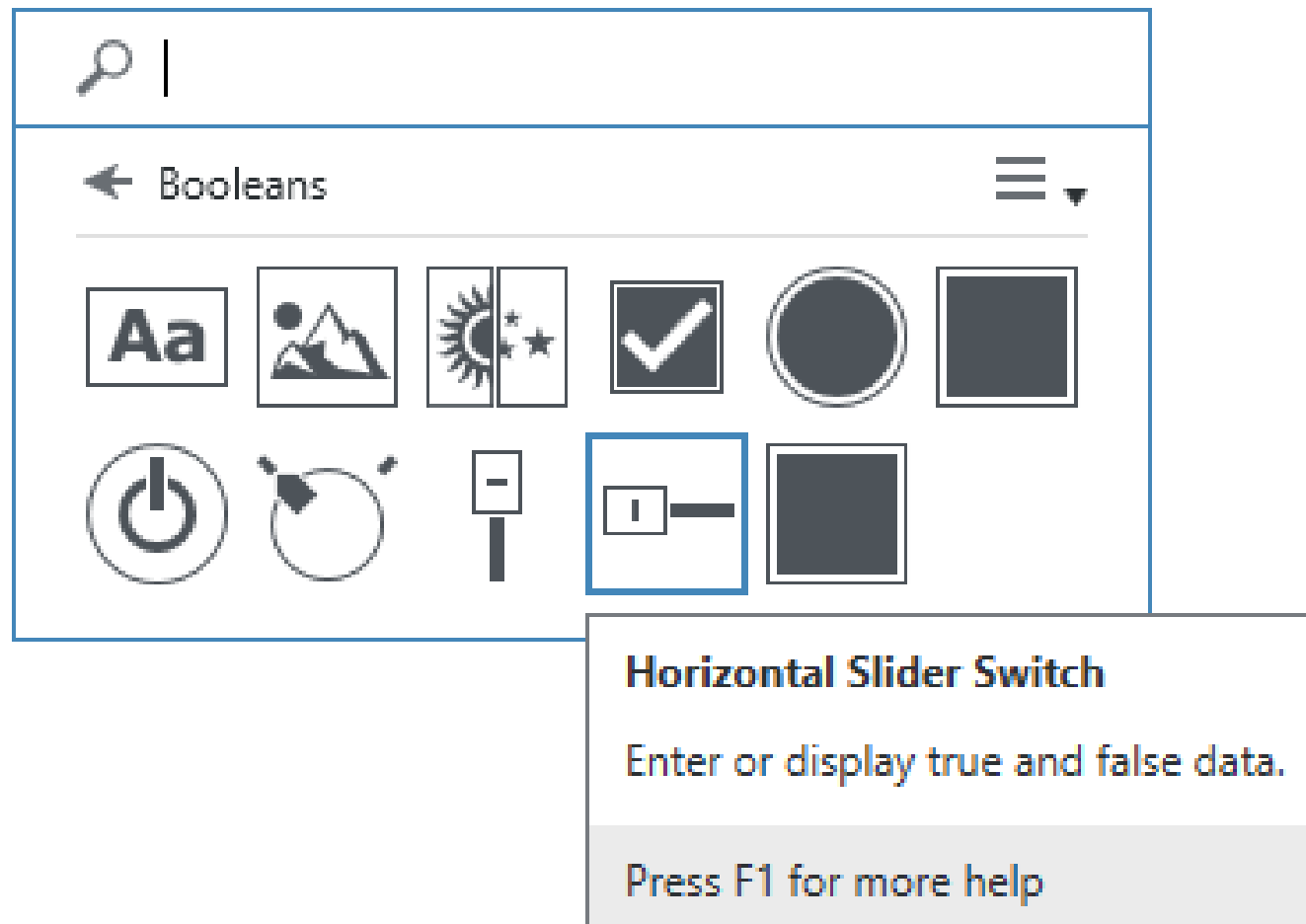
Implementarea diverselor aplicații simple în mediul NI VeriStand

- ❖ Pentru a implementa o aplicație în mediul NI VeriStand se vor parcurge următoarele etape:
 - ✓ Se va deschide panoul frontal din meniul „Project Files” selectând fișierul „TCEAE_MyRIO_1900_Lab_1.nivsscr” cu comanda „dublu clic”
 - ✓ Se vor plasa opt butoane virtuale în model, corespunzătoare celor opt ieșiri digitale care controlează diodele electroluminiscente
 - ✓ Se vor plasa trei cursoare cu intervalul de variație $[0 - 1]$ fracționar pentru a controla intensitatea fiecărei culori din cadrul diodei electroluminiscente RGB
 - ✓ Se vor plasa de asemenea trei indicatori corespunzători pentru cele trei butoane cu apăsare și revenire

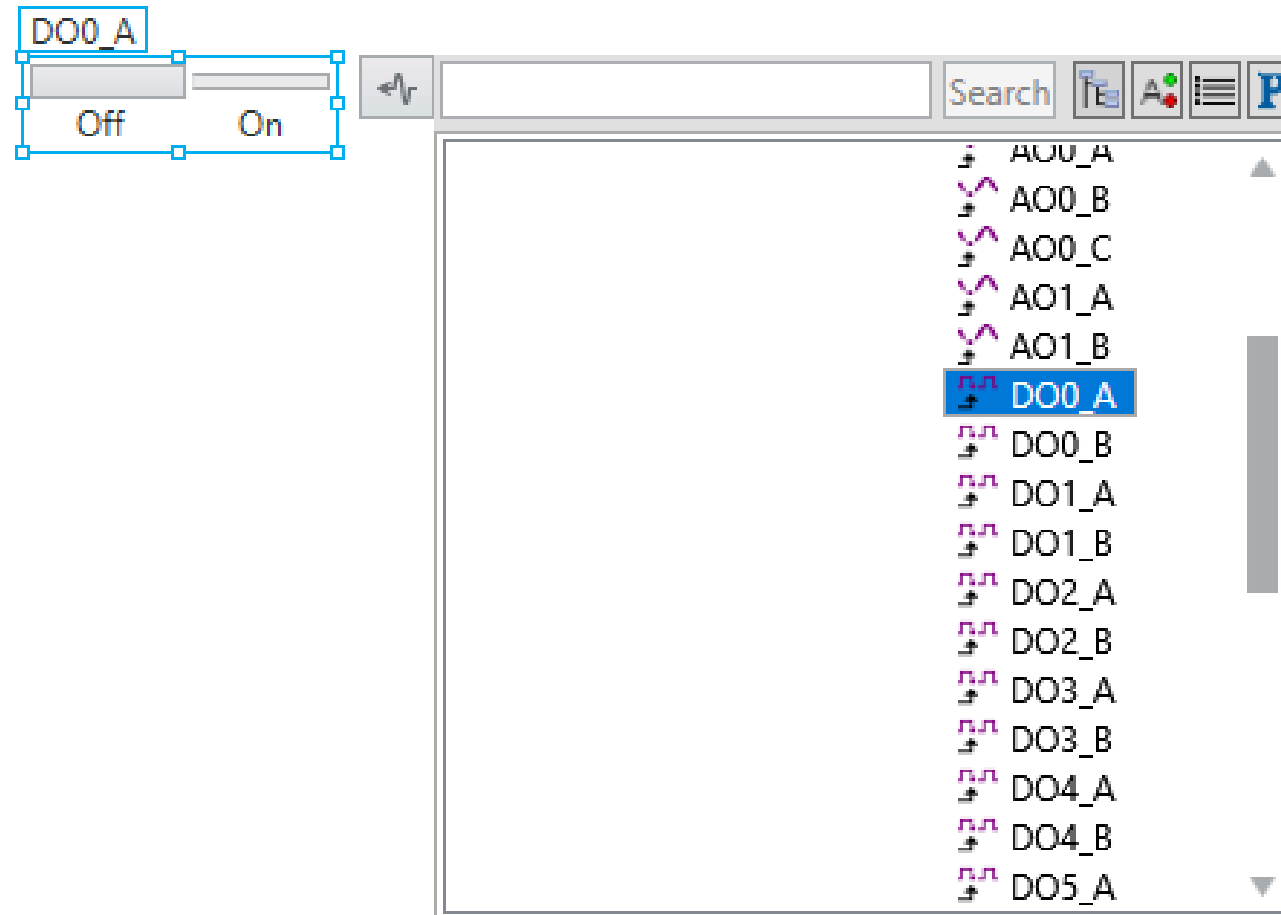
Deschiderea panoului frontal din fișierul „TCEAE_MyRIO_1900_Lab_1.nivsscr”



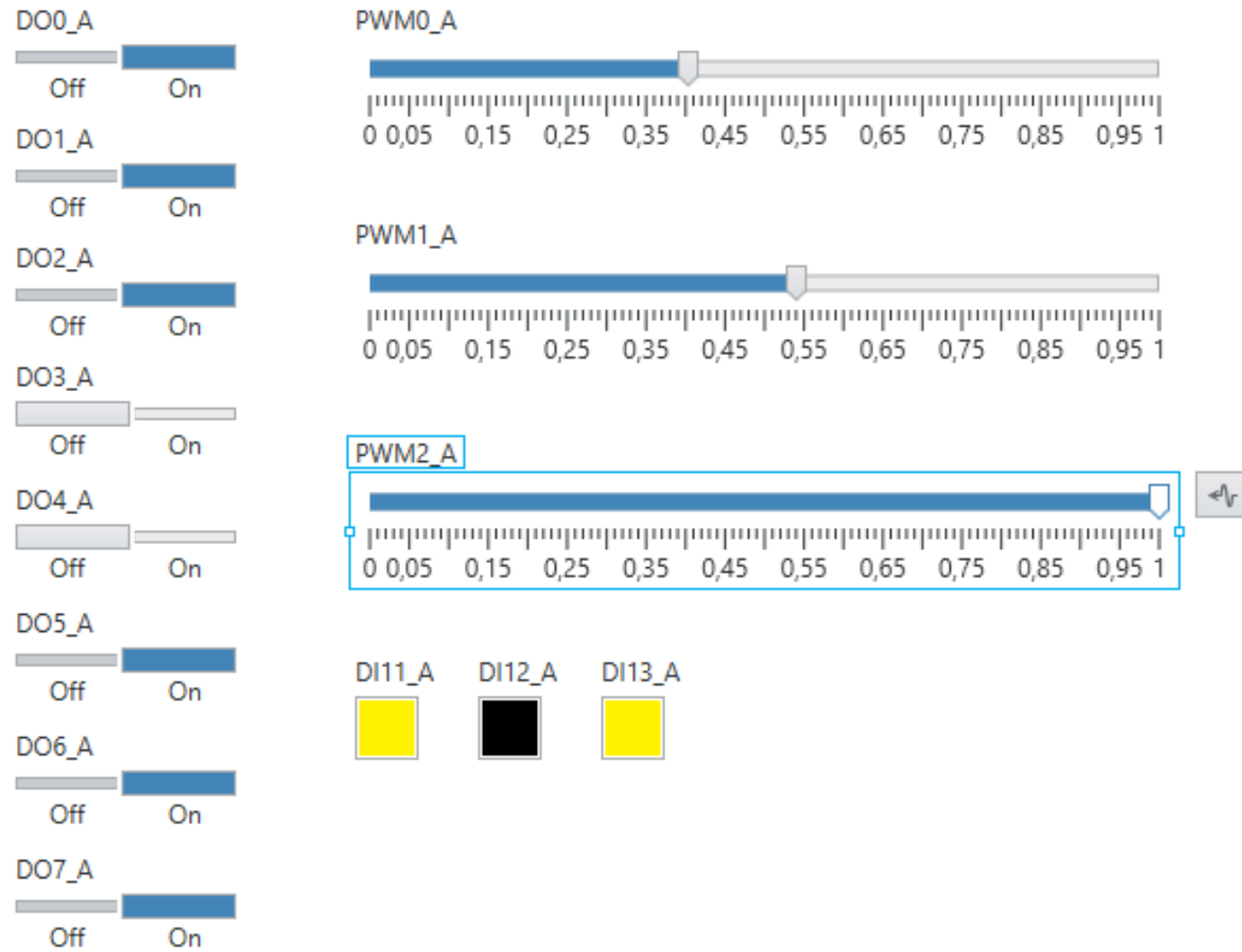
Paleta de instrumente virtuale – alegerea butoanelor virtuale care controlează ieșirile digitale



Asocierea instrumentelor virtuale din panoul frontal cu ieșiri digitale fizice



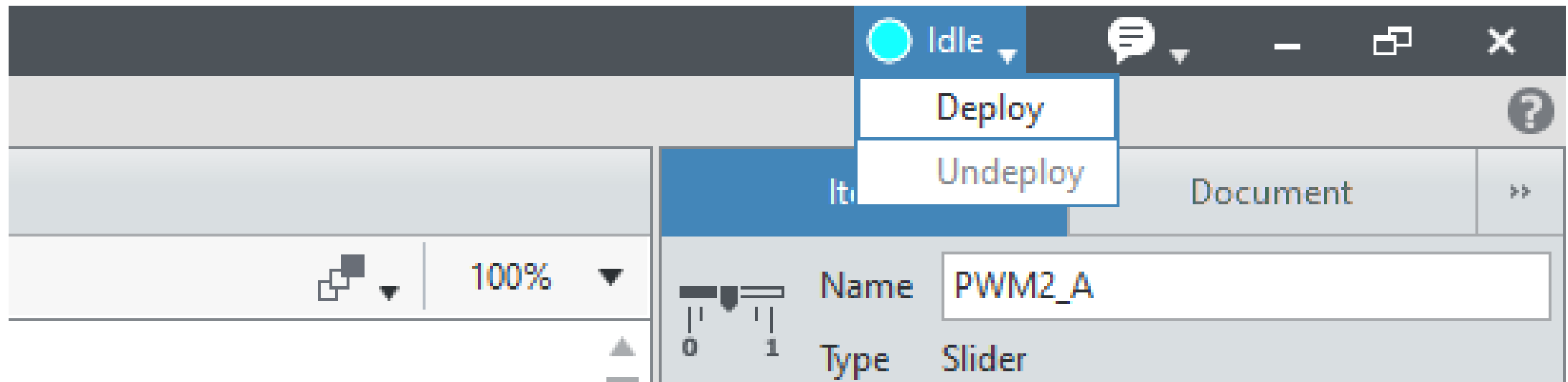
Forma finală a panoului frontal



Implementarea diverselor aplicații simple în mediul NI VeriStand

- ✓ Pentru a încărca în memoria platformei de dezvoltare aplicația executabilă se va alege opțiunea „Deploy” din bara de instrumente
- ✓ Se va testa funcționalitatea aplicației în timp real prin acționarea instrumentelor virtuale din cadrul panoului frontal
- ✓ Efectul acționării instrumentelor virtuale se va regăsi la nivelul componentelor periferice din cadrul plăcuței modulare
- ✓ Pentru a încheia sau suspenda execuția aplicației în timp real se va selecta opțiunea „Undeploy” din cadrul barei de instrumente

Încărcarea aplicației executabile în memoria platformei de dezvoltare NI MyRIO



Acționarea instrumentelor din cadrul panoului frontal și verificarea funcționalității la nivelul plăcuței modulare

