

# Tehnici de control și estimare în acționări electrice

## Gestionarea modelelor Simulink specifice procesării semnalelor digitale în cadrul mediului NI VeriStand

### I. SCOPUL LUCRĂRII:

Lucrarea de laborator are ca scop:

- familiarizarea studentului cu mediul NI VeriStand;
- familiarizarea studentului cu mediul de simulare și programare Matlab – Simulink;
- familiarizarea studentului cu platforma de dezvoltare NI MyRIO 1900;
- familiarizarea studentului cu noțiunile specifice procesării semnalelor digitale și furnizarea acestora înspre dispozitive electronice periferice atașate platformei de dezvoltare NI MyRIO 1900.

### II. INTRODUCERE:

În vederea implementării codului program sau a aplicației specifice strategiei de comandă și control pentru platforma de dezvoltare NI MyRIO 1900, în cadrul acestei discipline, se va studia combinația dintre mediul Matlab – Simulink (Fig. 1) în legătură directă cu mediul de testare automată NI VeriStand (Fig. 2). Avantajul major al acestei combinații de soluții tehnologice constă în faptul că, mediul Matlab – Simulink oferă o largă varietate de instrumente specifice domeniului Ingineriei Electrice mai precis, domeniul Electronicii de Putere și al Teoriei Sistemelor de Reglare Automată. Totodată în cadrul mediului Matlab – Simulink, strategia de comandă și control poate fi analizată prin modelare și simulare înainte de a fi implementată în memoria platformei de dezvoltare.

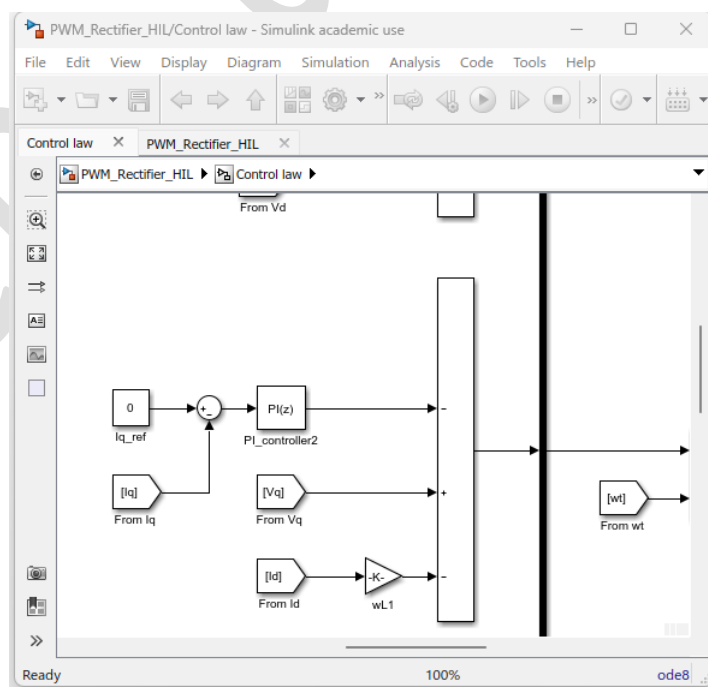


Fig. 1 – Mediul de modelare, simulare și programare Matlab – Simulink

Cu ajutorul mediului NI VeriStand (Fig. 2), se va realiza „cuplarea” modelului matematic Simulink al strategiei de comandă și control cu intrările și ieșirile fizice ale platformei de dezvoltare NI VeriStand.

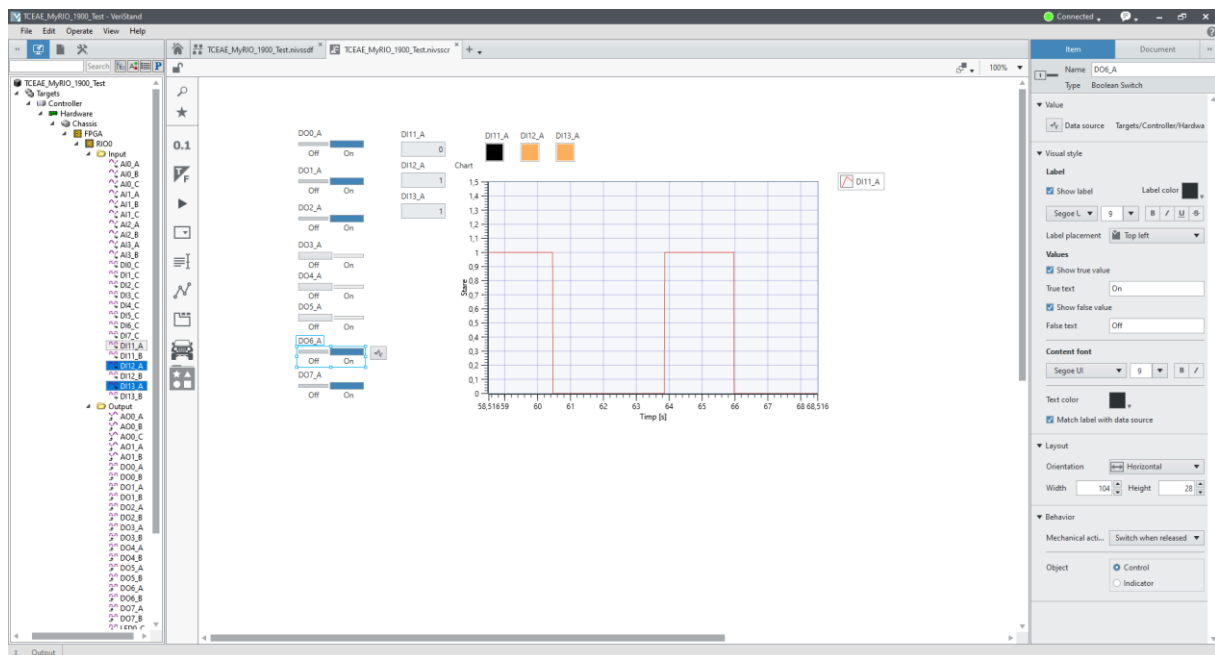


Fig. 2 – Mediul de testare automată NI VeriStand

În cadrul documentației actuale va fi prezentat modul de gestionare al semnalelor digitale sau logice pe baza modelelor Simulink și a intrărilor sau ieșirilor fizice din cadrul platformei de dezvoltare NI MyRIO 1900.

Tipul de studiu care va fi realizat în actuala combinație de soluții tehnologice poartă denumirea Rapid Control Prototyping (eng. RCP). Acest studiu presupune implementarea modelului strategiei de control **pe procesorul platformei de dezvoltare** și **utilizarea intrărilor sau ieșirilor fizice** (digitale sau analogice) pentru achiziționarea semnalului sau furnizarea acestuia înspre **modelul fizic** al circuitului final (Fig. 3).

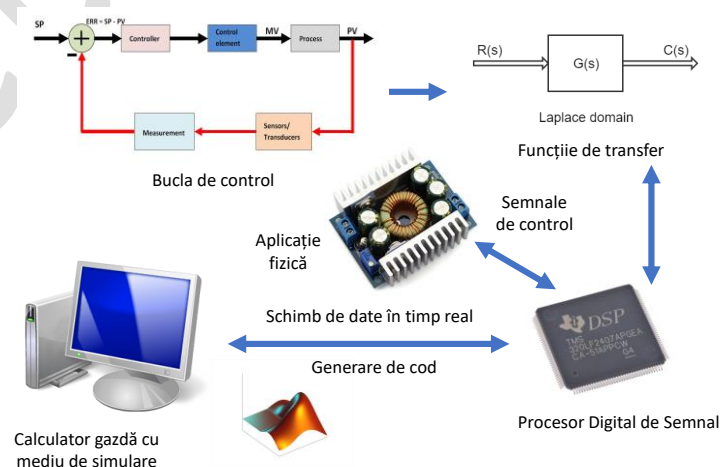


Fig. 3 - Studiul de tip Rapid Control Prototyping

Platforma de dezvoltare NI MyRIO 1900 dispune de o arie de porți programabilă sau re-configurabilă de tip FPGA Xilinx Zynq 7010 și un procesor ARM Cortex A9 (Fig. 4). Combinația dintre cele două sisteme de calcul reprezintă un tot unitar, adică un circuit integrat de tip SoC (eng. System on a Chip). În cadrul circuitului SoC există atât memorie Flash cât și memorie ROM, RAM sau alte etaje specializate pentru interfațarea procesorului ARM cu interfețele de comunicare externe (ex. USB, WiFi, Serial, SPI, I<sup>2</sup>C, CAN) sau interne (ex. interfața AXI pentru stabilirea comunicației dintre procesor și aria de porți re-configurabilă).



Fig. 4 – MyRIO 1900 – platformă de dezvoltare cu arie de porți programabilă (eng. FPGA)

Platforma de dezvoltare NI MyRIO poate fi utilizată cu arhitectura internă pre-definită (Fig. 5) având terminalele și funcțiile inscripționate pe carcasă sau descrise în manualul de utilizare al platformei de dezvoltare.

Arhitectura ariei de porți de asemenea, poate fi re-configurată, astfel încât să răspundă necesităților utilizatorului final. Procedura de re-configurare a arhitecturii pentru mediul NI VeriStand se realizează pe baza următoarelor instrumente:

- NI LabVIEW FPGA (mediul grafic de re-configurare);
- NI VeriStand Custom FPGA Project Wizard (anexă - utilitar la NI LabVIEW FPGA);
- FPGA XML Builder Node (anexă - utilitar la NI LabVIEW FPGA)
- Xilinx Vivado (suita de instrumente care realizează în fundal procesul de re-configurare);

Produsul rezultat al procedurii de re-configurare al platformei NI MyRIO poate fi reprezentat prin două fișiere:

- fișierul care conține informația binară a arhitecturii (eng. BitStream „.lvbitx”);
- fișierul XML care conține alocarea funcțiilor în VeriStand (format „.fpgaconfig”);

Cele două fișiere reprezintă materialul de definiție al platformei NI MyRIO 1900 în cadrul mediului VeriStand. Materialul de definiție utilizat în cadrul lucrării a fost realizat astfel încât să respecte funcțiile standard alocate terminalelor MXP și MSP (Fig. 6, 7, 8).

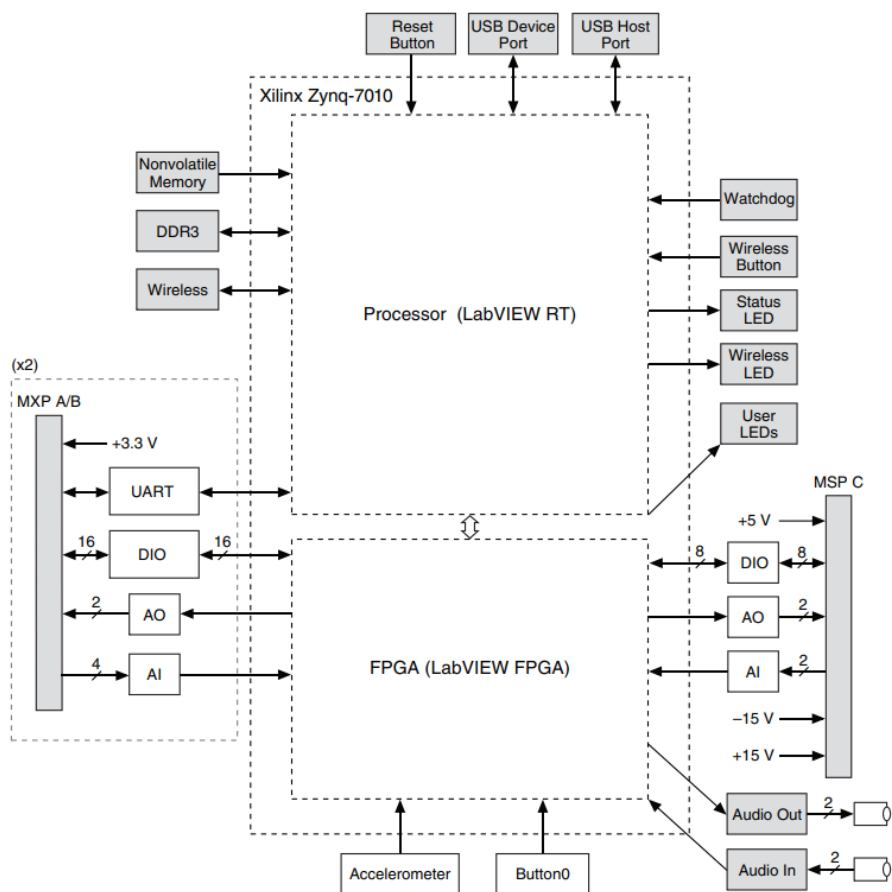


Fig. 5 – Arhitectura predefinită de producător a platformei de dezvoltare NI MyRIO 1900

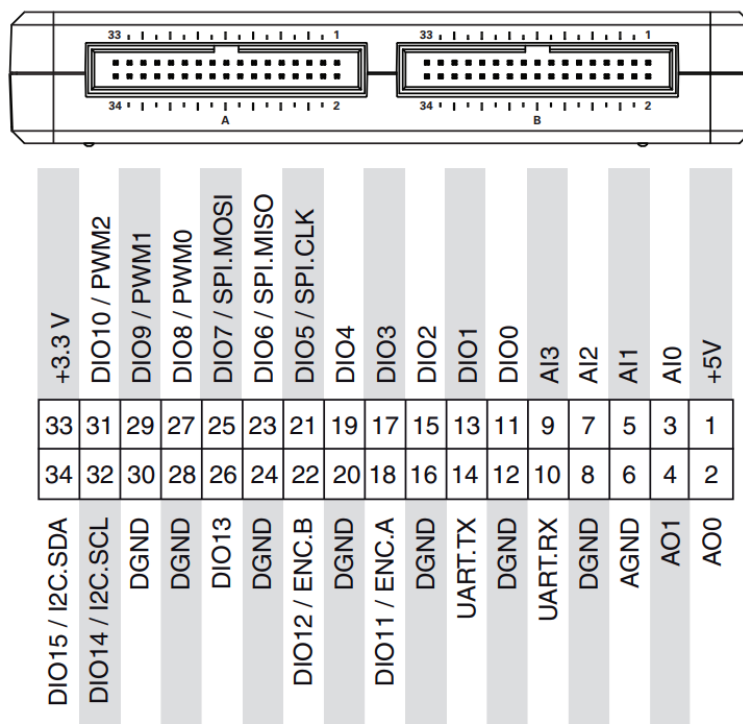


Fig. 6 – Funcțiile alocate blocurilor de terminale MXP

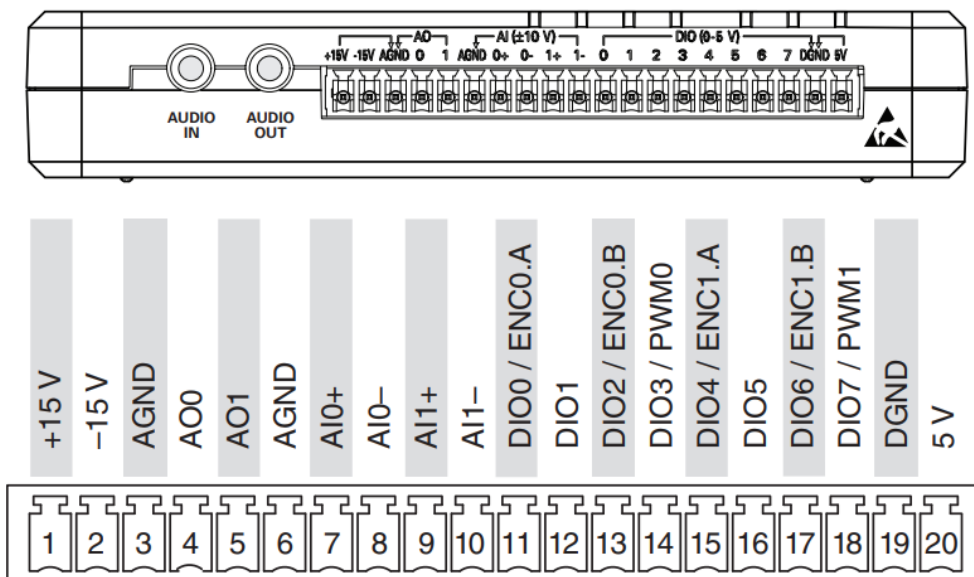


Fig. 7 – Funcțiile alocate blocului de terminale MSP

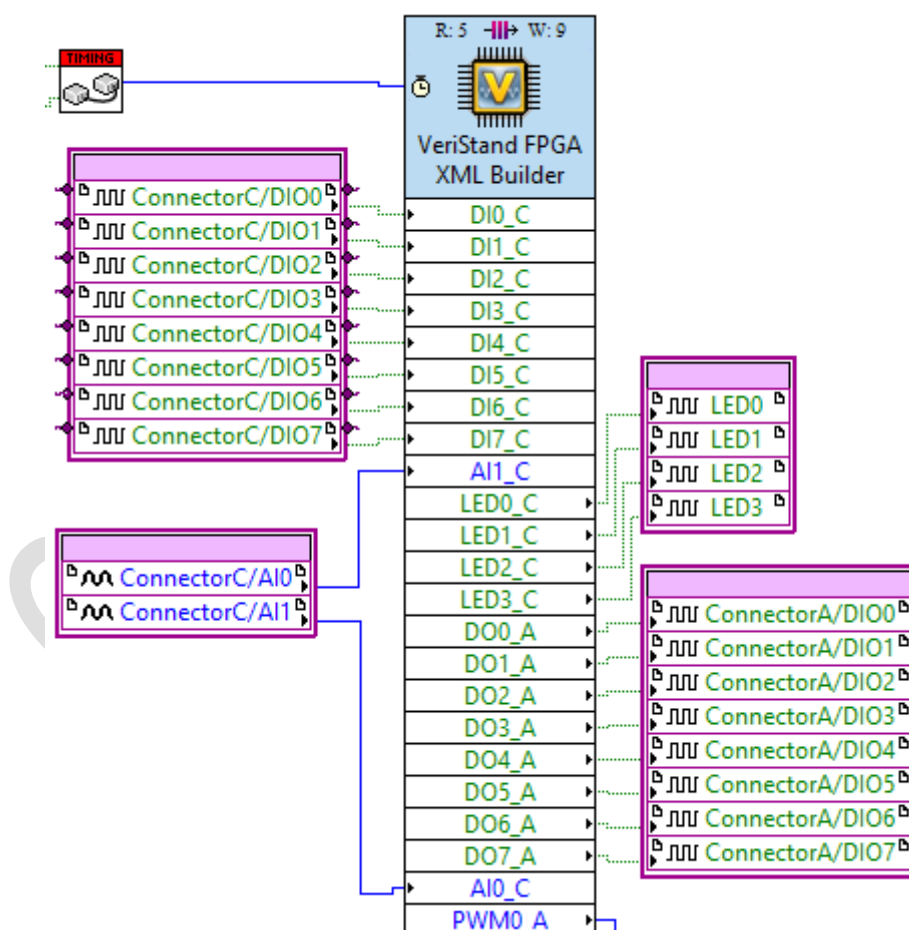


Fig. 8 – Particularizarea arhitecturii nucleului FPGA Zynq 7010 în NI LabVIEW FPGA

În cadrul mediului NI VeriStand, există posibilitatea de a importa modelul matematic Simulink al strategiei de comandă și control care, mai târziu poate fi asociat cu intrările și ieșirile fizice ale sistemului de calcul NI MyRIO 1900 (Fig. 9, 10).

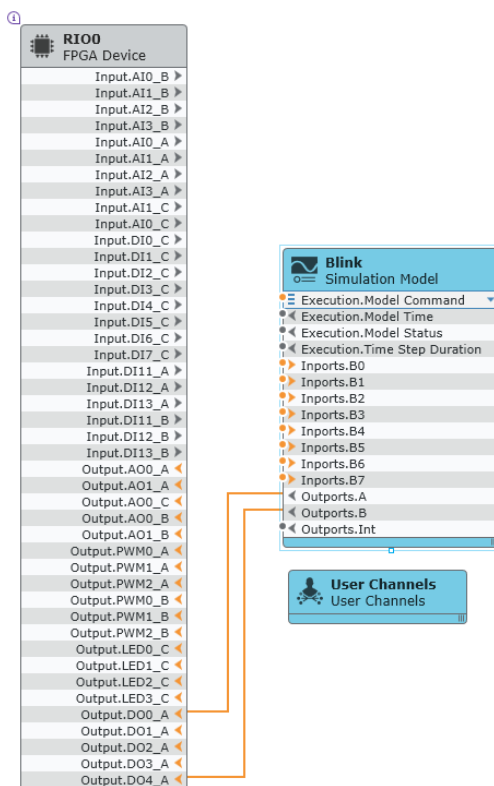


Fig. 9 – Asocierea intrărilor și ieșirilor fizice cu intrările și ieșirile virtuale din model

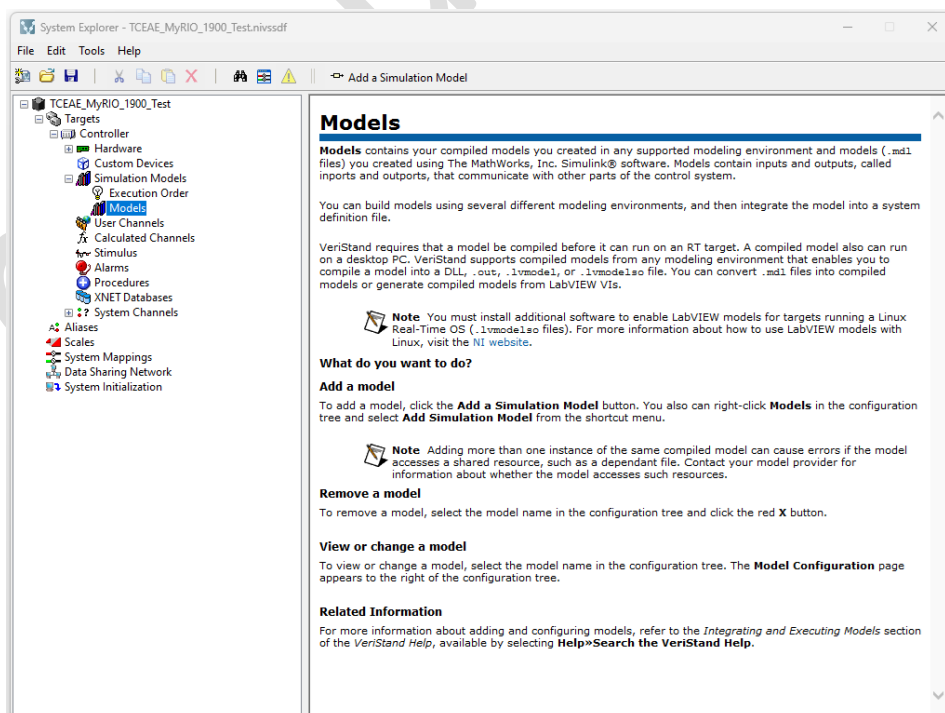


Fig. 10 – Formularul pentru importare a modelelor Simulink în mediul NI VeriStand

Programul generat pe baza modelului Simulink, reprezintă o aplicație executabilă cu extensia „.so” pentru sistemul de operare Linux. Sistemul de operare Linux, rulează pe procesorul de aplicație ARM Cortex A9 din cadrul platformei NI MyRIO (Fig. 11).

```

172.22.112 - PuTTY
Mem: 242744K used, 7416K free, 964K shrd, 0K buff, 98612K cached
CPU: 45% usr 7% sys 0% nic 46% idle 0% io 0% irq 0% sirq
Load average: 1.69 1.64 1.68 3/368 4964

```

PID	PPID	USER	STAT	VSZ	%VSZ	%CPU	COMMAND
1711	1694	lvuser	S	135m	55%	47%	{MainAppThread} ./lvrt
495	2	admin	SW	0	0%	1%	[irq/61-atomiczy]
8	2	admin	SW	0	0%	0%	[ktimersoftd/0]
200	2	admin	SW	0	0%	0%	[irq/76-e0003000]
21	2	admin	SW	0	0%	0%	[ktimersoftd/1]
4962	4916	admin	R	7116	3%	0%	{top} /bin/busybox.nosuid /usr/bin/top
1726	1389	web SERV	S	10516	4%	0%	NIWebServiceContainer {4C45DE08-1E9B-1
22	2	admin	SW	0	0%	0%	[ksoftirqd/1]
1389	1388	web SERV	S	27904	11%	0%	{SystemWebServer} /usr/local/natinst/s
1641	1	lvuser	S	18464	7%	0%	/usr/local/natinst/bin/tagsrv -start
952	1	admin	S	13424	5%	0%	{niauth_daemon} /usr/local/natinst/sha
1023	1	admin	S	9492	4%	0%	/usr/sbin/wpa_supplicant -Dnl80211 -i
1449	1	admin	S	6980	3%	0%	/usr/local/natinst/bin/niwifibledd -st
96	1	admin	S	1956	1%	0%	/usr/sbin/jitterentropy-rngd
7	2	admin	SW	0	0%	0%	[ksoftirqd/0]
20	2	admin	SW	0	0%	0%	[rcuc/1]
4802	2	admin	IW	0	0%	0%	[kworker/u4:1]
1610	1389	web SERV	S	54988	22%	0%	NIWebServiceContainer {4B6AD72B-1E9B-1
1474	1	admin	S	16856	7%	0%	/usr/local/natinst/share/mxs/nimxs -d
1344	1	lvuser	S	14932	6%	0%	/usr/local/natinst/bin/nirioserver

Fig. 11 – Sistemul de operare Linux din cadrul platformei NI MyRIO 1900

### III. IMPLEMENTAREA APLICAȚIILOR:

În cadrul lucrării actuale se va utiliza plăcuța modulară nr. 1 (Fig. 12) pentru achiziționarea și furnizarea semnalelor digitale înspre platforma NI MyRIO 1900.

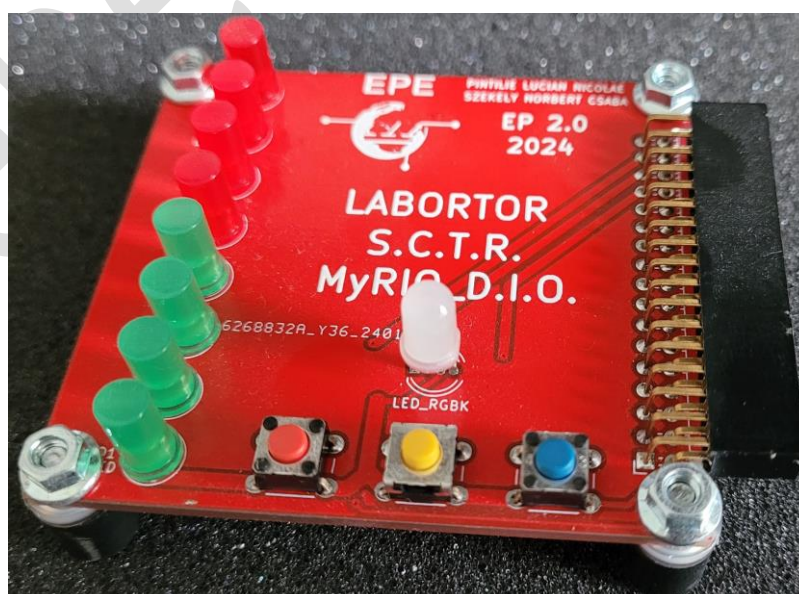


Fig. 12 - Plăcuța modulară nr. 1 destinată studiului operațiilor logice

Conf. Dr. Ing. Enikő Szőke – [Eniko.Szoke@emd.utcluj.ro](mailto:Eniko.Szoke@emd.utcluj.ro)

Asist. Dr. Ing. Lucian – Nicolae Pintilie – [Lucian.Pintilie@emd.utcluj.ro](mailto:Lucian.Pintilie@emd.utcluj.ro)

Plăcuța conține următoarele elemente periferice digitale sau logice:

- opt diode electroluminiscente (eng. LED), patru de culoare verde și patru roșu;
- o singură diodă electroluminiscentă multicoloră (eng. RGB LED);
- trei microîntreruptoare cu apăsare și revenire (eng. PTM pushbutton);
- terminal de atașare la conectorul MXP;

Este necesar de specificat faptul că:

- nivelul logic al tensiunii de alimentare în cadrul conectorului MXP este 3,3 [V];
- starea logică a terminalelor aferente micro-contactelor este inversată;
- dioda electroluminiscentă multicoloră este atașată la terminalele digitale capabile să furnizeze un semnal dreptunghiular modulat în lățime (eng. PWM);
- plăcuța modulară nr. 1 a fost atașată la terminalul MXP\_A (Fig. 13);



Fig. 13 – Atașarea plăcuței modulare nr. 1 la platforma de dezvoltare NI MyRIO 1900

Terminalele digitale au fost repartizate și alocate resurselor fizice sau periferice aparținente plăcuței modulare nr. 1, conform tabelului următor:



Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
D1 LED	DO0_A – MXP A	11	Ieșire digitală
D2 LED	DO1_A – MXP A	13	Ieșire digitală
D3 LED	DO2_A – MXP A	15	Ieșire digitală
D4 LED	DO3_A – MXP A	17	Ieșire digitală
D5 LED	DO4_A – MXP A	19	Ieșire digitală
D6 LED	DO5_A – MXP A	21	Ieșire digitală
D7 LED	DO6_A – MXP A	23	Ieșire digitală
D8 LED	DO7_A – MXP A	25	Ieșire digitală
LED_RGBK - R	PWM0_A – MXP A	27	Ieșire digitală pulsatorie
LED_RGBK - G	PWM1_A – MXP A	29	Ieșire digitală pulsatorie
LED_RGBK - B	PWM2_A – MXP A	31	Ieșire digitală pulsatorie
SW1	DI11_A – MXP A	18	Intrare digitală
SW2	DI12_A – MXP A	22	Intrare digitală
SW3	DI13_A – MXP A	26	Intrare digitală

NOTĂ: Plăcuța modulară nr. 1 poate fi atașată la oricare dintre conectorii MXP\_A sau B.

În continuare, se vor re-itera etapele necesare în vederea realizării unui nou proiect în cadrul mediului NI VeriStand, completând cu etapele necesare în vederea pregătirii modelului Simulink pentru importare.

1. Se va lansa în execuție mediul NI VeriStand 2019 R3;
2. Din cadrul meniului principal se va alege opțiunea „New” → „Default Project” (Fig. 14);

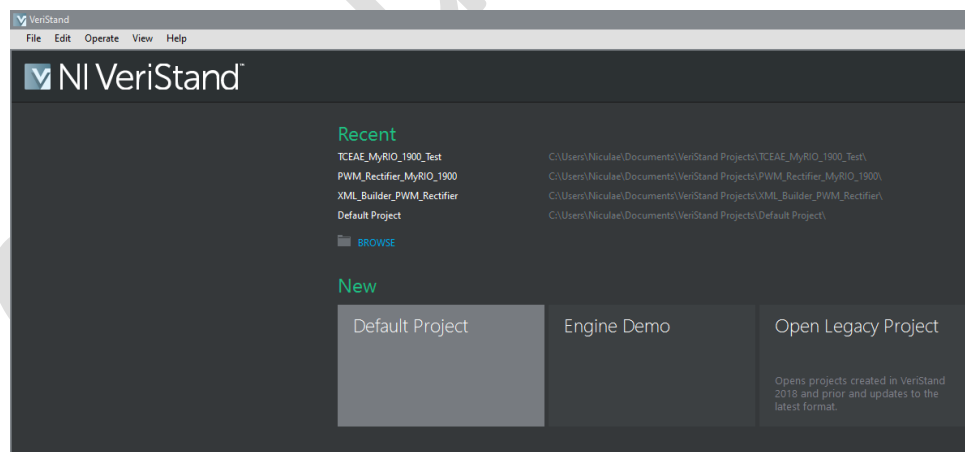


Fig. 14 – Alegerea opțiunii „Default Project” din meniul principal NI VeriStand

3. În fereastra de dialog se va alege denumirea proiectului „TCEAE\_MyRIO\_1900\_Lab\_2” și se va trece mai departe prin comanda „Create” (Fig. 15);

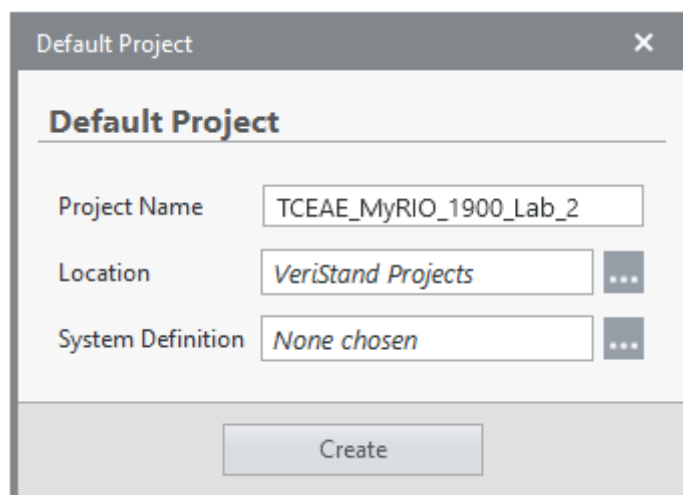


Fig. 15 – Denumirea noului proiect NI VeriStand

4. Din bara de instrumente se va alege opțiunea „Configure...” (Fig. 16):



Fig. 16 – Alegerea opțiunii „Configure...”

5. Din fereastra de dialog „System Explorer”, din partea stângă se va alege sub-categoria „Controller”, iar în partea dreaptă se vor configura următorii parametrii (Fig. 17):

- Operating System: Linux\_32\_ARM;
- IP Address: 172.22.11.2;
- Username: admin
- DAQ DIO Rate: 1000 [Hz];
- Target Rate: 1000 [Hz];

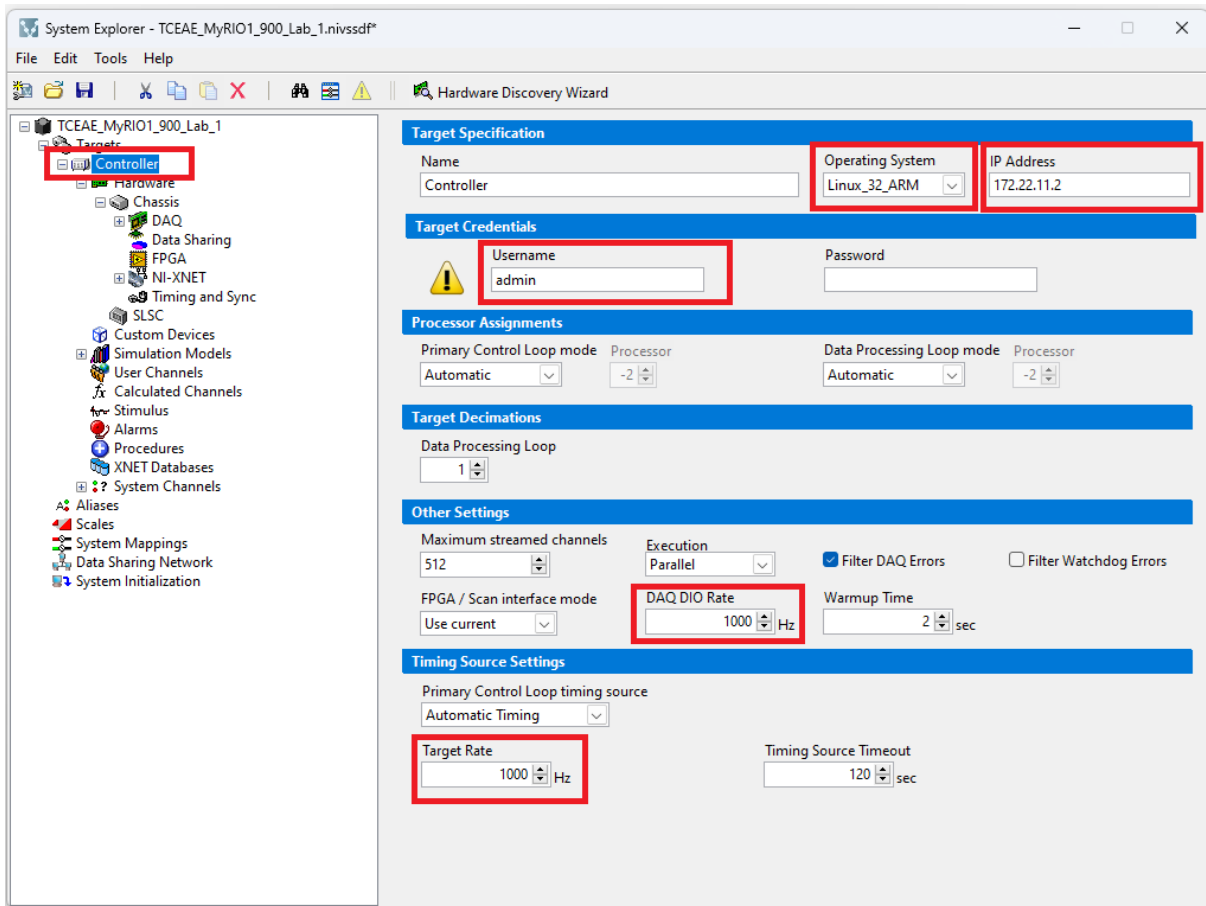


Fig. 17 - Fereastra de dialog „System Explorer” – secțiunea „Controller”

6. Din fereastra de dialog „System Explorer”, se va alege sub-categoria „Hardware” iar din bara de instrumente se va alege „Hardware Discovery Wizard” (Fig. 18):

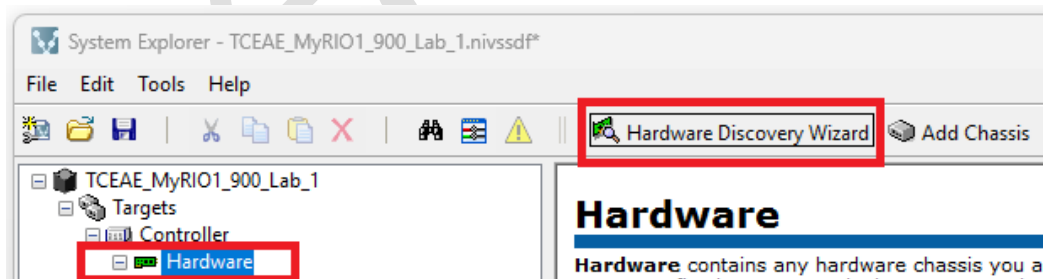


Fig. 18 – Alegerea sub-categoriei „Hardware” și opțiunea „Hardware Discovery Wizard”

7. În următoarea fereastră de dialog se va identifica un nucleu de tip FPGA (Fig. 19):

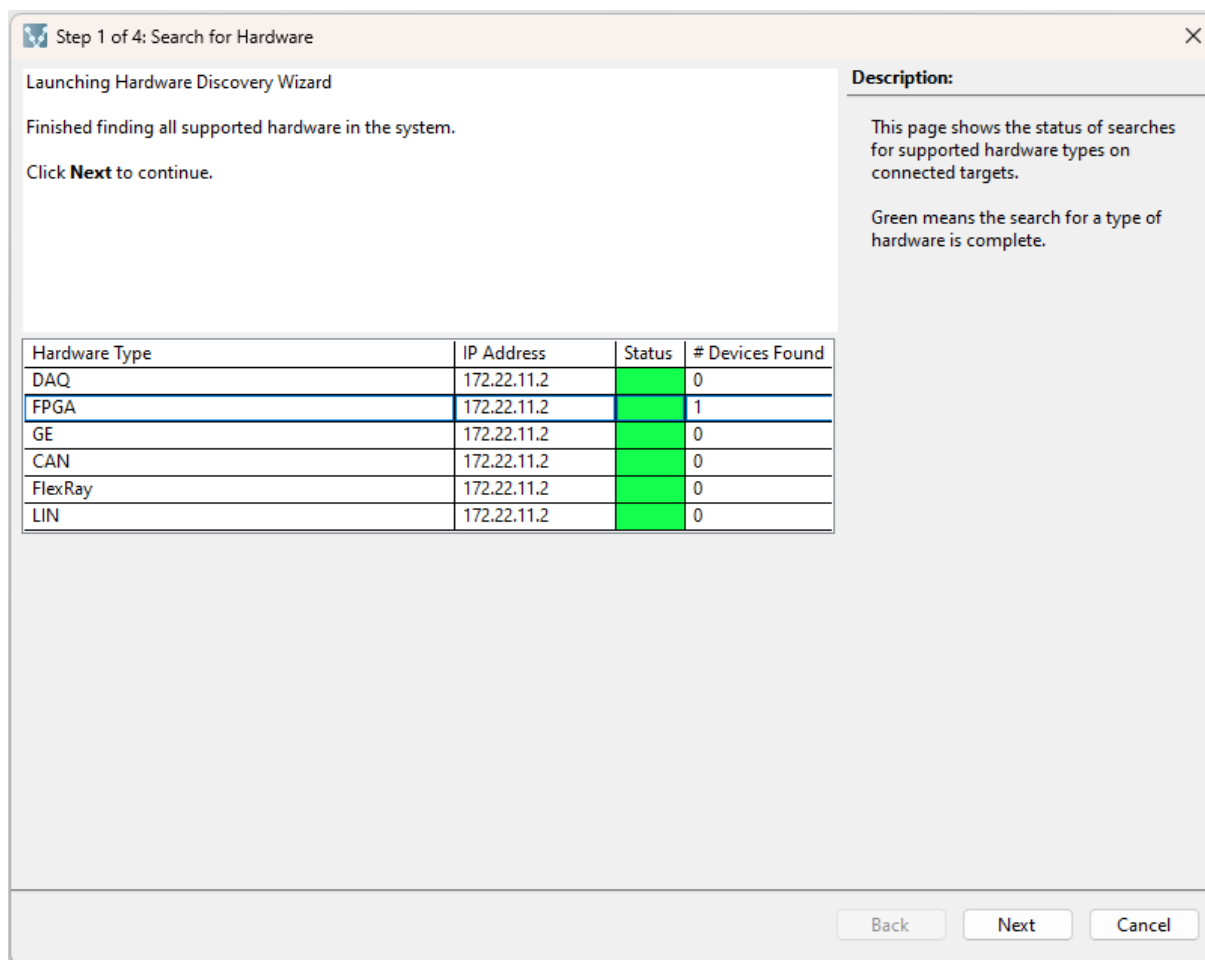


Fig. 19 – Identificarea nucleului FPGA din cadrul platformei NI MyRIO 1900

8. Se va trece mai departe la etapa de adăugare în proiect a nucleului FPGA (Fig. 20):

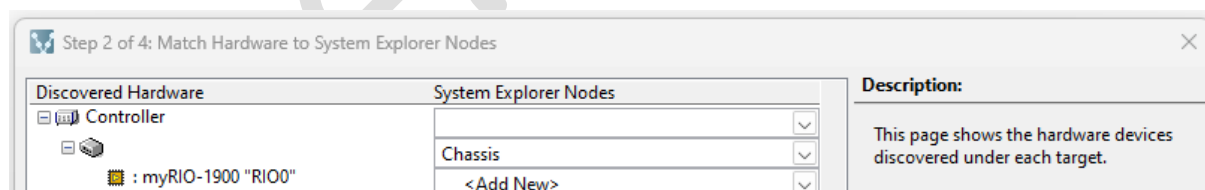


Fig. 20 – Adăugarea în proiect a nucleului FPGA identificat

9. Se va finaliza adăugarea prin apăsarea succesivă a butonului „Next” (înainte sau mai departe) iar în final se va alege butonul „Finish” (finalizare).

10. Nucleul FPGA „RIO0” va fi identificat în sub-categoria FPGA din fereastra de dialog „System Explorer”. Alegând această sub-categorie va fi posibilă operația de încărcare în memorie a fișierului de configurare „bitstream” în secțiunea „FPGA configuration” – Se va alege fișierul „MyRIO\_VeriStand\_Definition\_File.fpgaconfig” (Fig. 21):

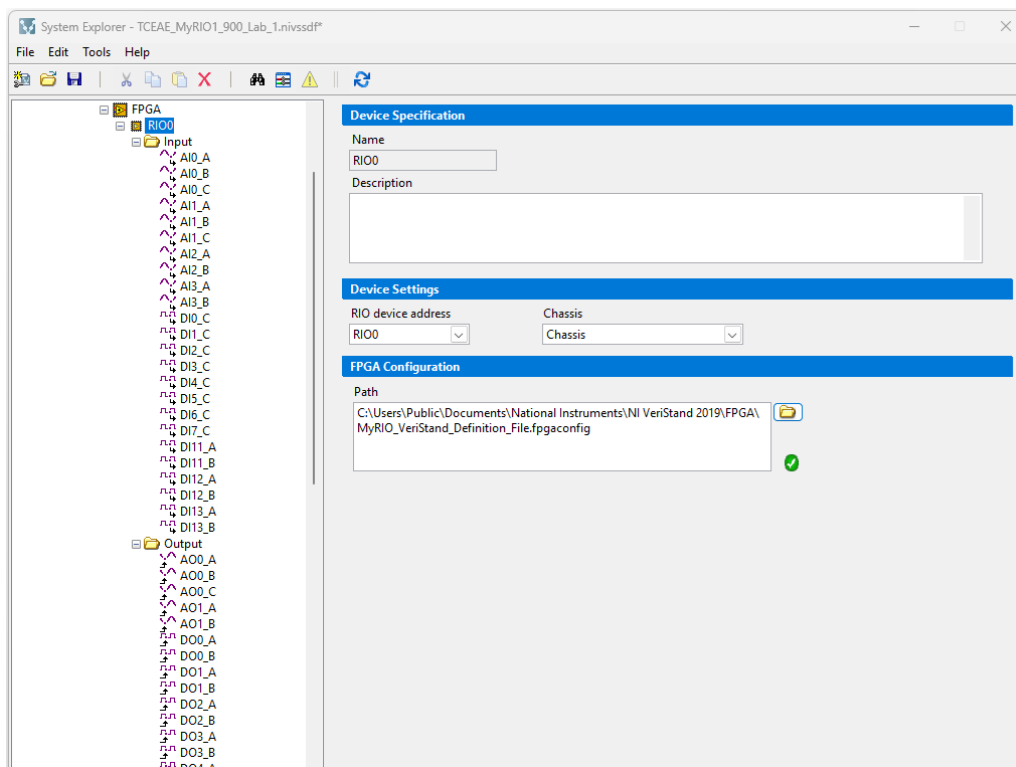


Fig. 21 – Încărcarea fișierului de configurare pentru FPGA (bitstream)

NOTĂ: Odată cu încărcarea fișierului de configurare a nucleului FPGA în NI VeriStand vor fi disponibile terminalele de intrare și ieșire ale platformei NI MyRIO 1900. Prin intermediul fișierului de configurare al nucleului FPGA se pot stabili funcțiile resurselor periferice ale platformei de dezvoltare.

11. Se va încheia procedura de configurare prin alegerea comenzii „Save” (iconița în formă de dischetă) apoi comanda „Close”.

12. Se va deschide panoul frontal din meniul „Project Files” selectând fișierul „TCEAE\_MyRIO\_1900\_Lab\_2.nivsscr” cu comanda „dublu clic” (Fig. 22).

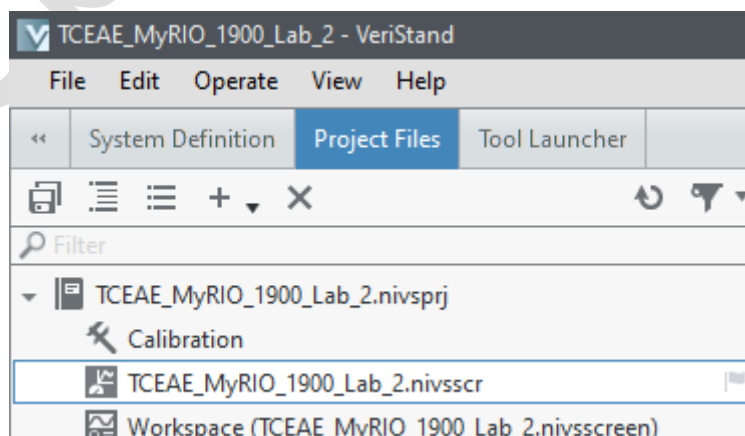


Fig. 22 – Deschiderea panoului frontal din fișierul „TCEAE\_MyRIO\_1900\_Lab\_1.nivsscr”

NOTĂ: În etapa actuală, există două instanțe de particularizare deschise în cadrul proiectului (Fig. 23) „TCEAE\_MyRIO\_1900\_Lab\_2”, anume:

- panoul frontal grafic „TCEAE\_MyRIO\_1900\_Lab\_2.nivsscr”;
- diagrama bloc a fișierului de definiție VeriStand „TCEAE\_MyRIO\_1900\_Lab\_2.nivssdf”;



Fig. 23 – Instanțele de particularizare ale proiectului VeriStand

Din cadrul instanței de parametrizare a fișierului de definiție, va fi posibilă importarea unui model Simulink în mediul VeriStand și asocierea intrărilor și ieșirilor fizice cu semnalele vehiculate în model (Fig. 24). Importarea modelului Simulink se va realiza prin intermediul comenzii „Simulation Model” din cadrul meniului „Software” (iconița reprezentată printr-o coală de hârtie de culoare gri închis).

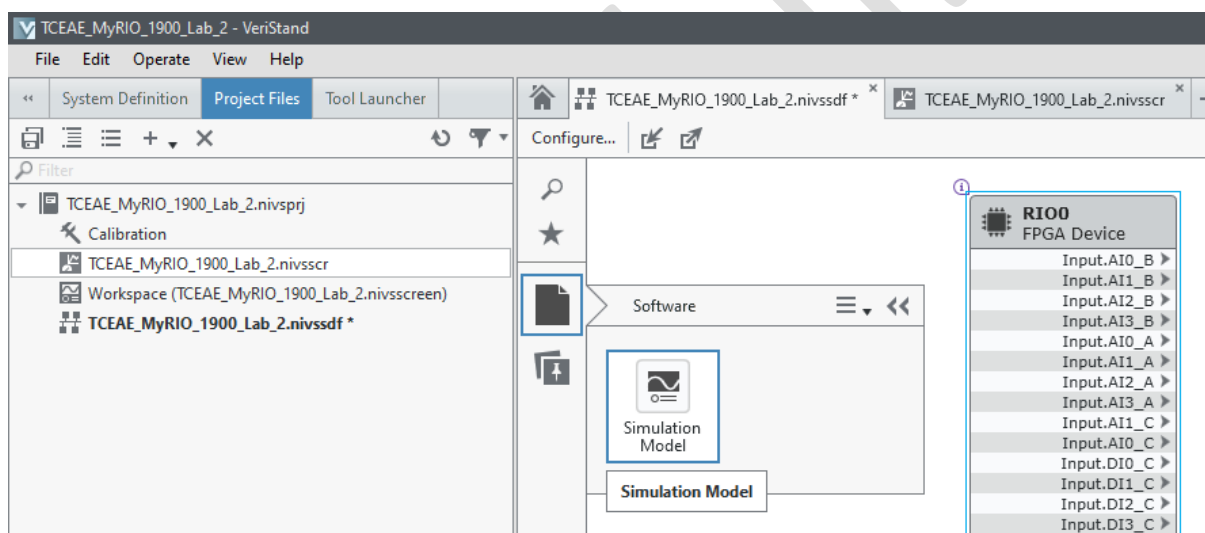


Fig. 24 – Instanța de particularizare a fișierului de definiție și comanda de importare a modelului Simulink în cadrul mediului VeriStand

În vederea importării modelelor Simulink în cadrul mediului NI VeriStand, va fi necesară pregătirea și compilarea acestora sub forma fișierului executabil „.so” pentru sistemul de operare Linux, care rulează pe procesorul de aplicație al platformei de dezvoltare NI MyRIO. Se propune deci implementarea a patru modele matematice:

- tratarea semnalului digital provenit de la butoane prin intermediul operatorilor logici;
- semnalizare intermitentă, alternativă și temporizată;
- baleierea șirului de diode electroluminiscente;
- baleierea domeniului cromatic pentru dioda electroluminiscentă multicoloră;

Pentru pregătirea modelelor Simulink în vederea importării lor în mediul NI VeriStand se vor parcurge următoarele etape:

1. Se va cerea un nou model Simulink în cadrul mediului Matlab R2018b;
2. Din cadrul meniului de parametrizare al modelului „Model Configuration Parameters” se vor efectua următoarele operații:
  - a. în cadrul categoriei „Solver” se vor stabili parametrii (Fig. 25):
    - Stop time: inf;
    - Solver Type: Fixed Step;
    - Solver: discrete (no continuous states);
    - Fixed-step size (fundamental sample time): 1e-4;

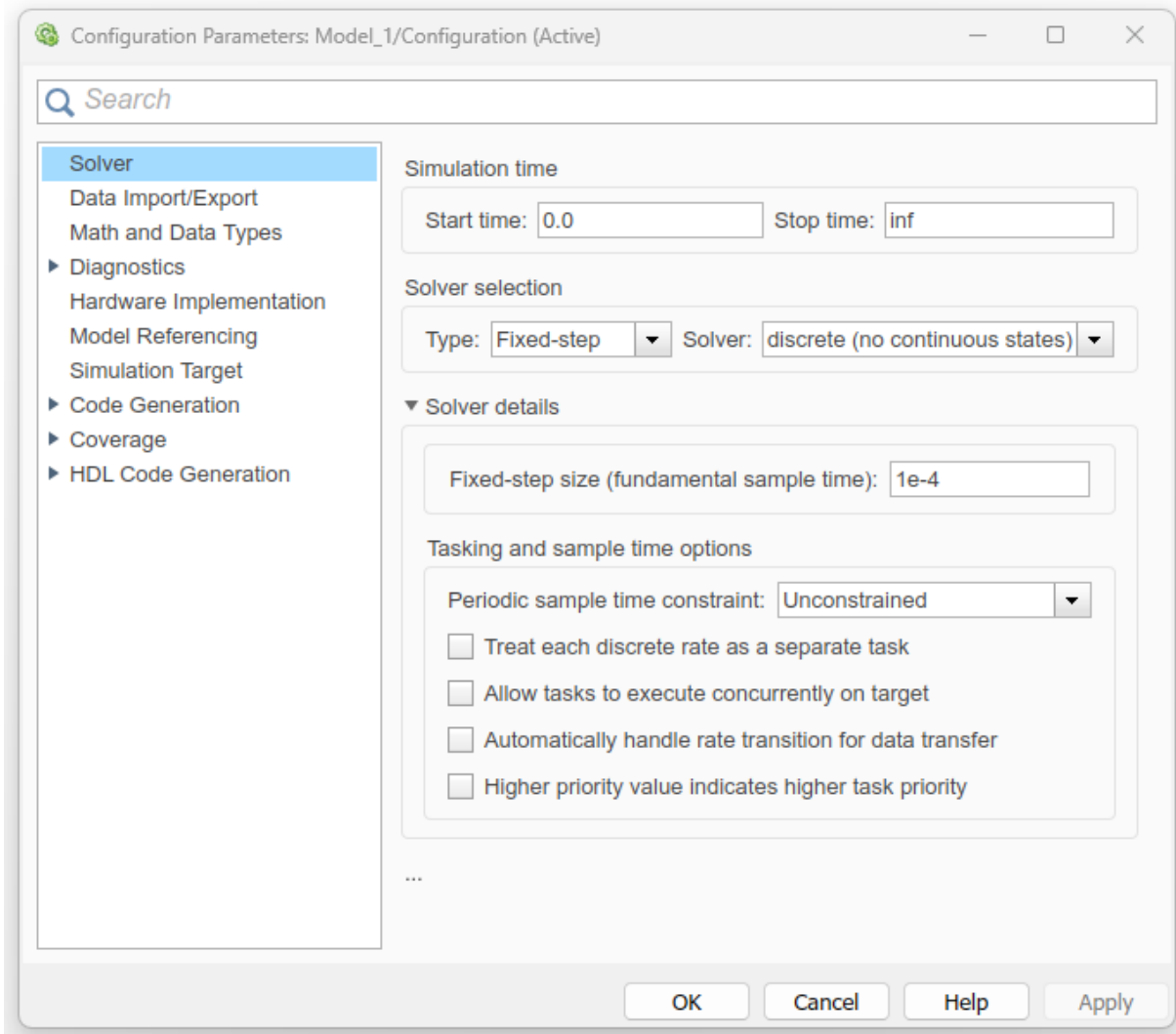


Fig. 25 – Fereastra de parametrizare a modelului – categoria „Solver”

- b. în cadrul categoriei „Code Generation” se vor stabili parametrii (Fig. 26):
      - cu ajutorul comenzii „Browse” se va alege opțiunea „VeriStand.tlc”;
      - la „Toolchain” se va alege „VeriStand Compiler for Linux32 ARM targets”;

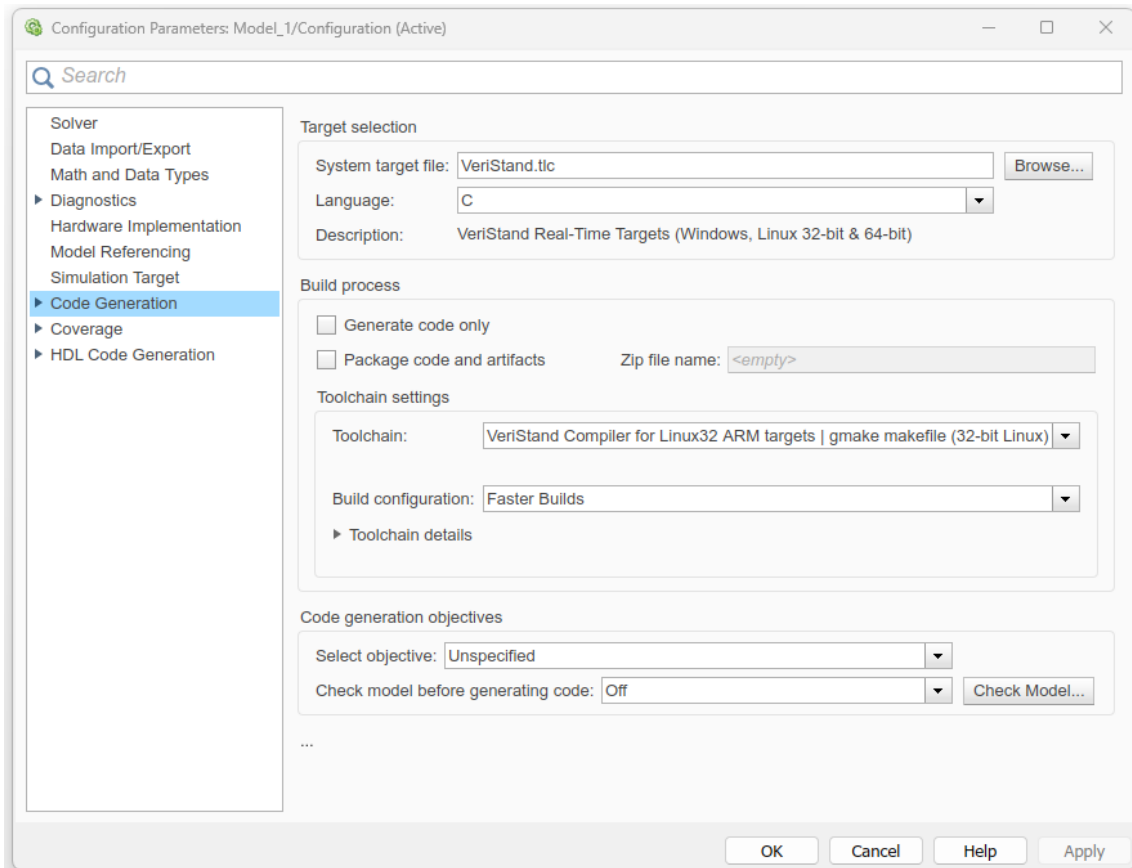


Fig. 26 - Fereastra de parametrizare a modelului – categoria „Code Generation”

- c. în categoria „Hardware Implementation” se vor stabili parametrii (Fig. 27):
- Device vendor: ARM Compatible;
  - Device type: ARM Cortex;

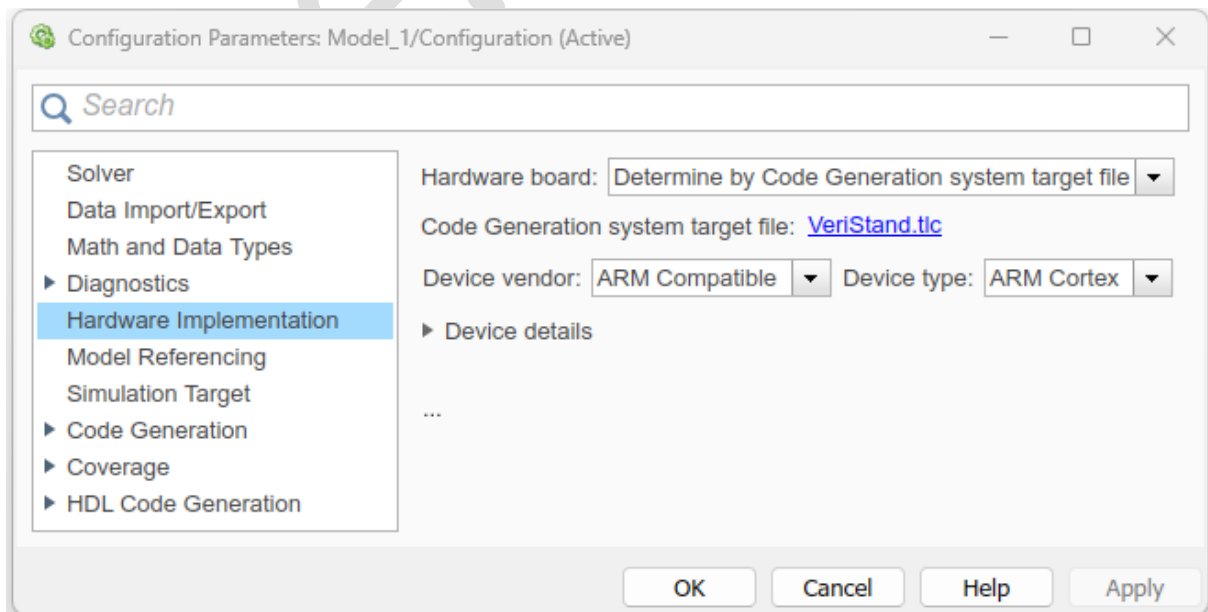


Fig. 27 - Fereastra de parametrizare – categoria „Hardware Implementation”



3. Se va încheia procesul de parametrizare prin intermediul comenzilor reprezentate de butoanele „Apply” și „Ok”.

În continuare se vor implementa cele patru modele:

MODEL 1:

Se va implementa următorul model Simulink (Fig. 28):

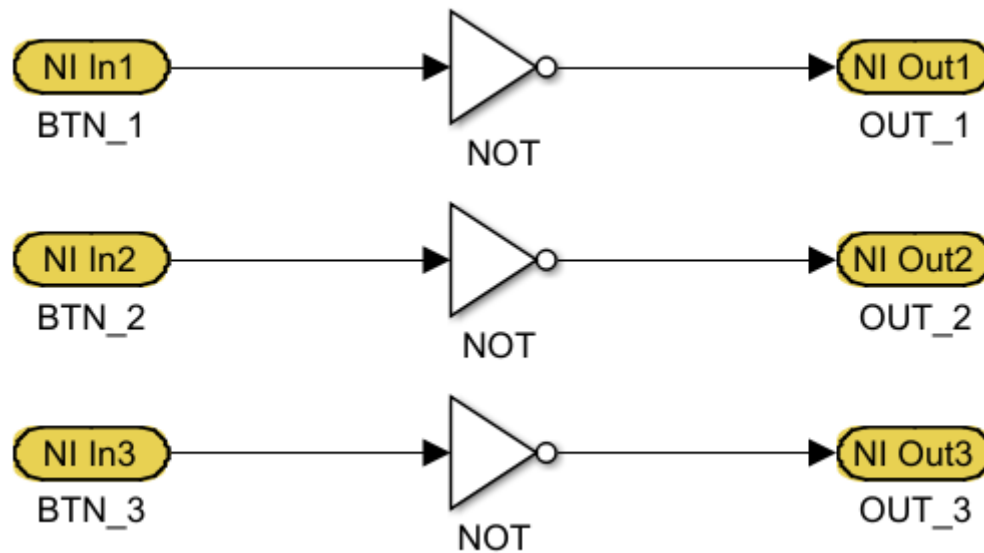


Fig. 28 – Diagrama bloc a modelului Simulink nr. 1

NOTĂ: Componentele din cadrul modelului se regăsesc în următoarele categorii:

- „NIVeriStand In1” și „NIVeriStand Out1” în categoria „NI VeriStand Blocks”;
- „Logical Operator” în categoria „Logic and Bit Operations”;

În urma implementării modelului Simulink prezentat în figura (Fig. 28), se va salva fișierul cu denumirea „Model\_1”, apoi din bara de instrumente se va alege comanda „Build Model” pentru compilare model (ultima iconiță având culoarea albastru deschis) (Fig. 29).

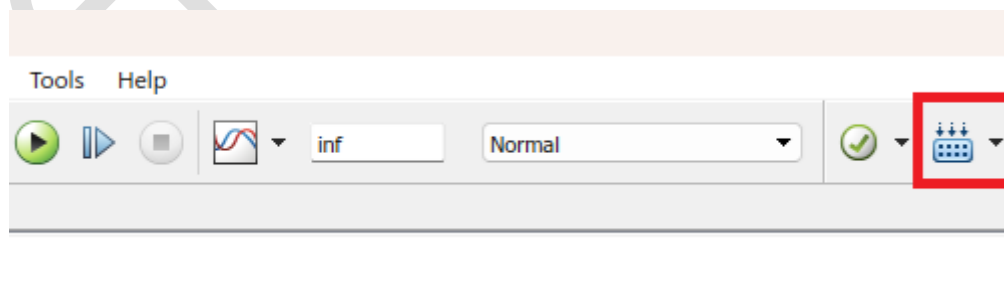


Fig. 29 – Comanda „Build Model” din bara de instrumente

În urma finalizării procesului de compilare a programului descris prin diagrama bloc a modelului Simulink, se va crea un fișier executabil cu extensia „.so” în spațiul de lucru ales la începutul proiectului (Fig. 30).

NOTĂ: Pentru a gestiona modelele Simulink mai eficient în VeriStand se recomandă amplasarea spațiului de lucru (eng. Workspace) Matlab în locația următoare:

C:\>MathOUT\TCEAE\_Lab\_II\Model\_1\

**IMPORTANT: Denumirea directoroarelor și a fișierelor NU TREBUIE să conțină caractere speciale sau spațiu „ ”. Spațiul liber se va înlocui cu caracterul „\_”.**

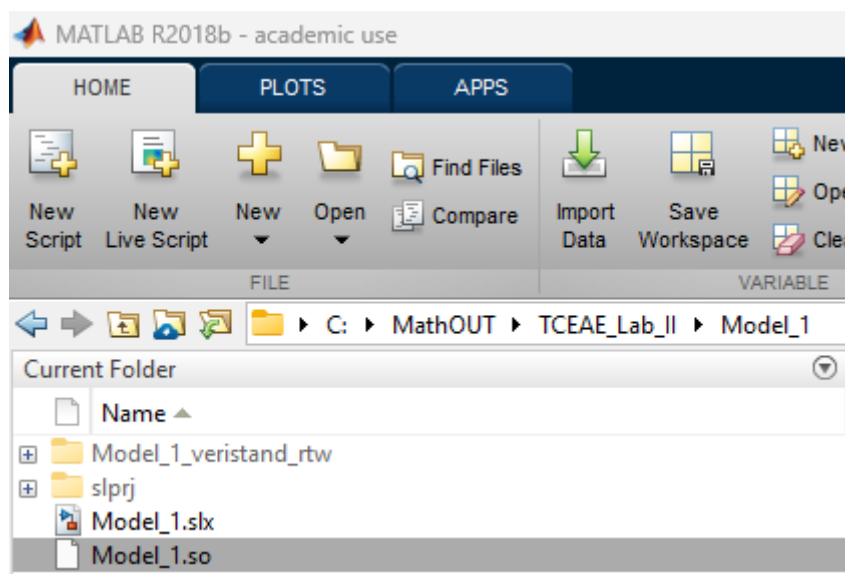


Fig. 30 – Fișierul executabil cu extensia „.so” generat în spațiul de lucru Matlab

Odată obținut, fișierul executabil „Model\_1.so”, se va importa în mediul NI VeriStand, conform procedurii ilustrate în figura (Fig. 24 → Software → Simulation Model). Calea de acces a fișierului executabil (eng. file path) este:

C:\>MathOUT\TCEAE\_Lab\_II\Model\_1\Model\_1.so

Pe baza blocurilor obținute în cadrul mediului NI VeriStand în instanța de configurare a fișierului de definiție se vor realiza conexiunile între parametrii modelului și intrările + ieșirile digitale conform (Fig. 31). Asocierile au fost realizate între parametrii:

- „Input.D11\_A” (bloc „RIO0”) → „Inports.BTN\_1” (bloc „Model\_1”);
- „Input.D12\_A” (bloc „RIO0”) → „Inports.BTN\_2” (bloc „Model\_1”);
- „Input.D13\_A” (bloc „RIO0”) → „Inports.BTN\_3” (bloc „Model\_1”);
- „Output.DO0\_A” (bloc „RIO0”) → „Outports.OUT\_1” (bloc „Model\_1”);
- „Output.DO1\_A” (bloc „RIO0”) → „Outports.OUT\_2” (bloc „Model\_1”);
- „Output.DO2\_A” (bloc „RIO0”) → „Outports.OUT\_3” (bloc „Model\_1”);

NOTĂ: Varianta desfășurată a blocului „RIO0” se obține prin alegerea comenzii „Show all channels” din bara de instrumente situată în partea dreaptă la selectarea blocului dat. Comanda se regăsește în categoria „Terminals”. Amplasarea terminalelor se stabilește prin intermediul parametrului „Placement”.

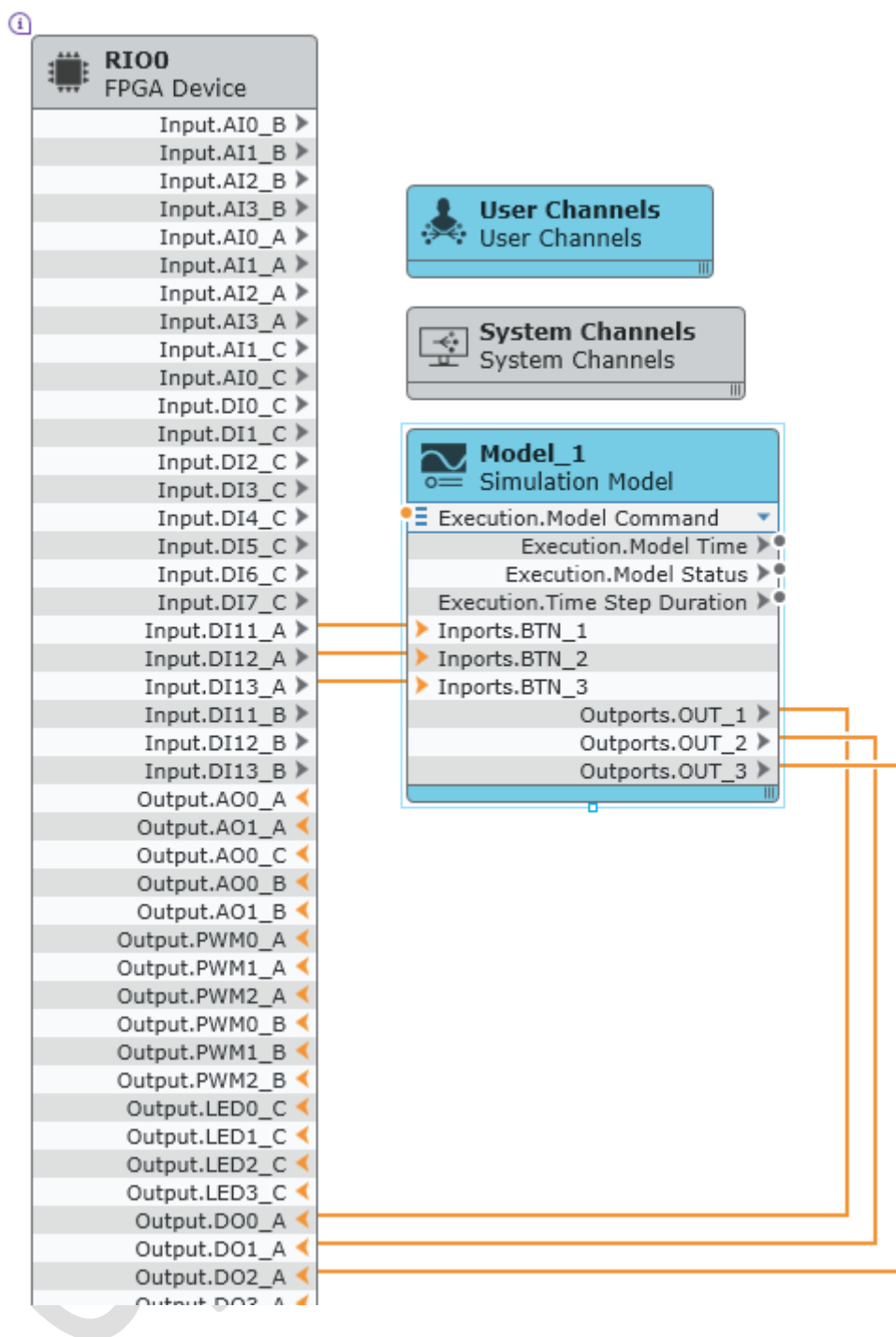


Fig. 31 – Conexiunile dintre intrările și ieșirile virtuale ale modelului Simulink și intrările și ieșirile digitale ale platformei de dezvoltare NI MyRIO 1900

În vederea verificării funcționalității programului implementat, în cadrul panoului frontal se vor adăuga șase căsuțe pentru afișare a stării logice, anume:

- DI11\_A → OUT\_1;
- DI12\_A → OUT\_2;
- DI13\_A → OUT\_3;

Componentele din panoul frontal pot fi preluate direct din categoria „System Definition” din cadrul paletelor de instrumente situată în partea stângă (Fig. 32):

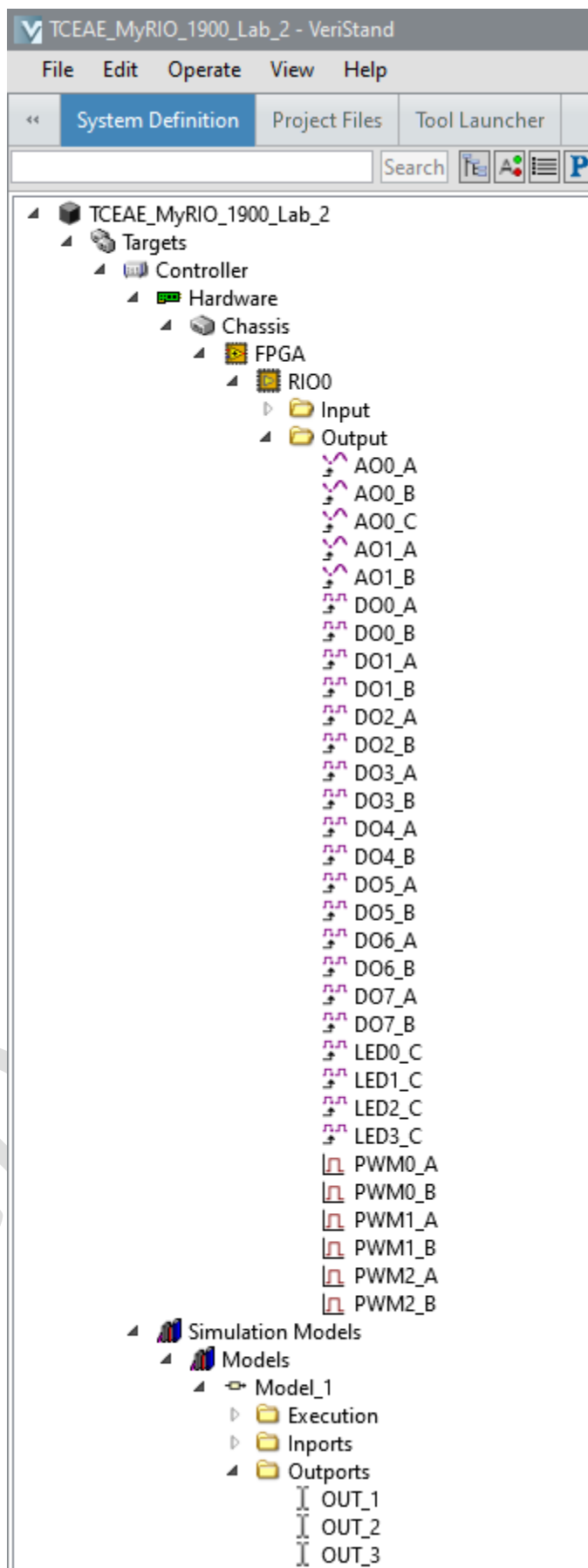


Fig. 32 – Paleta de instrumente din categoria „System Definition”

Pentru a încărca în memoria platformei de dezvoltare aplicația executabilă se va alege opțiunea „Deploy” din bara de instrumente (de culoare gri închis) (Fig. 33):

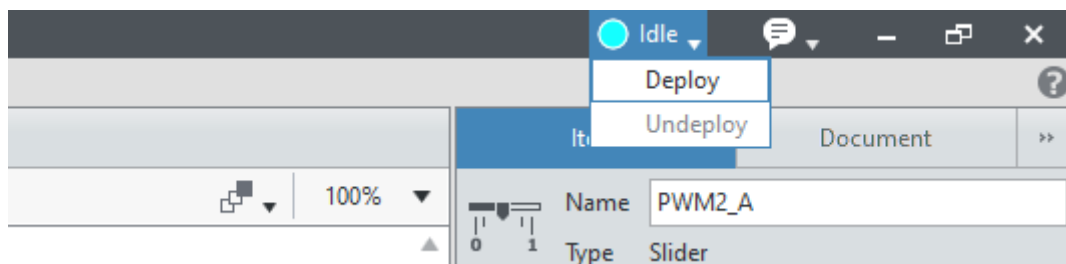


Fig. 33 – Încărcarea aplicației executabile în memoria platformei de dezvoltare NI MyRIO

Pe baza căsuțelor de dialog din panoul frontal (Fig. 34), se va evalua dacă starea logică a fost inversată prin intermediul operatorului logic de negare „NOT” din cadrul modelului. Totodată, funcționalitatea modelului poate fi evaluată și pe baza stării diodelor electroluminiscente atașate la ieșirile digitale „DO0\_A”, „DO1\_A” și „DO2\_A” (Fig. 35).

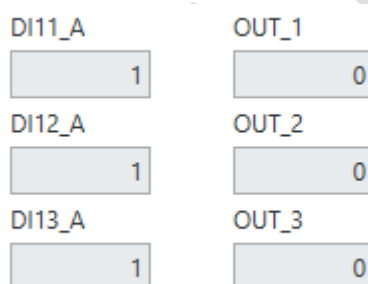


Fig. 34 – Forma finală a panoului frontal



Fig. 35 – Acționarea butoanelor cu apăsare și revenire din cadrul plăcuței modulare

MODEL 2:

Se va implementa următorul model Simulink (Fig. 36):

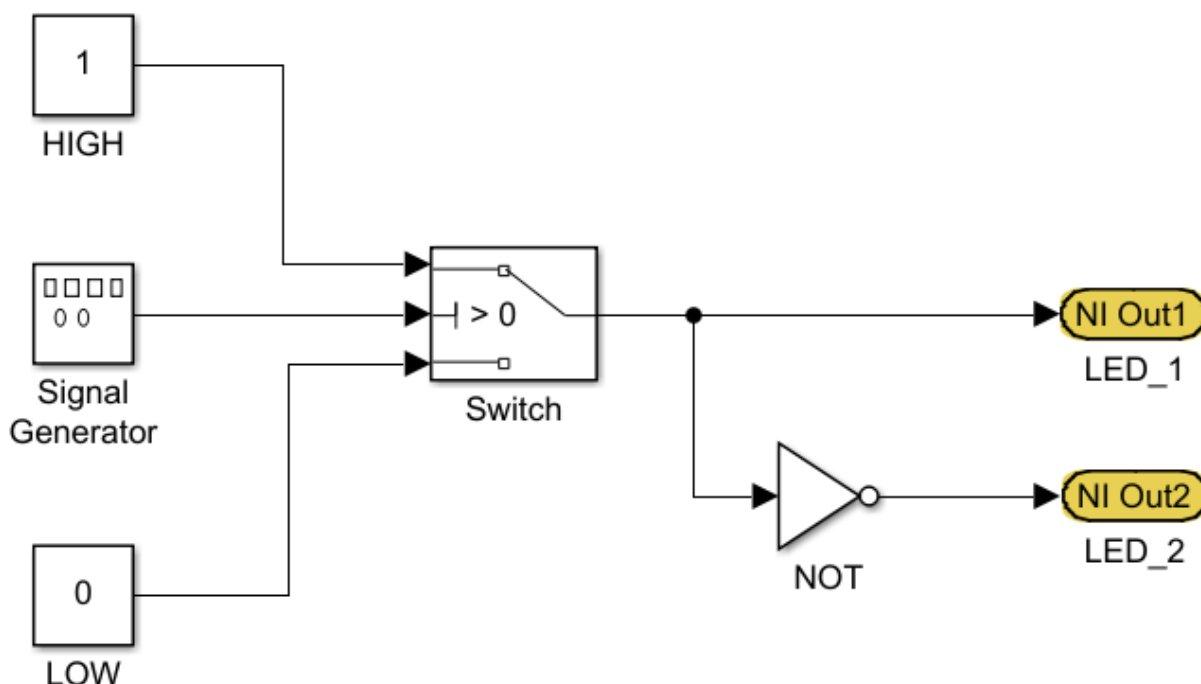


Fig. 36 – Diagrama bloc a modelului Simulink nr. 2

Pentru obținerea fișierului executabil „Model\_2.so” se va proceda în mod similar ca și în etapele anterioare specifice elaborării primului model.

În cadrul mediului NI VeriStand se vor realiza următoarele asocieri (Fig. 37):

- „Output.DO0\_A” (bloc „RIO0”) → „Outports.LED\_1” (bloc „Model\_2”);
- „Output.DO4\_A” (bloc „RIO0”) → „Outports.LED\_2” (bloc „Model\_2”);

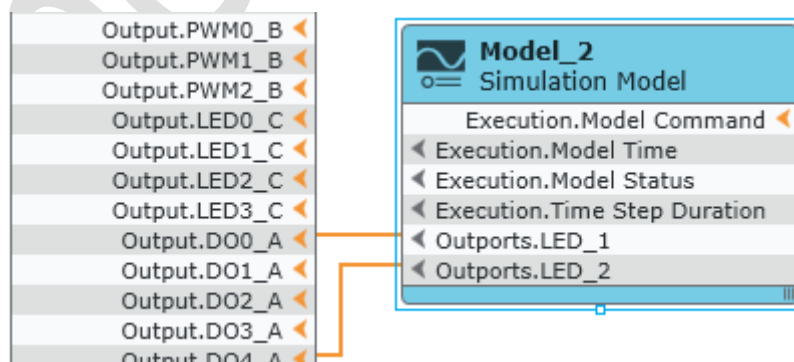


Fig. 37 - Conexiunile dintre intrările și ieșirile virtuale ale modelului Simulink și intrările și ieșirile digitale ale platformei de dezvoltare NI MyRIO 1900

Pentru a regla frecvența de semnalizare din cadrul utilitarului de configurare al sistemului (eng. System Explorer), din categoria „Simulation Models”, sub-categoria „Models” → „Model\_2” → „Parameters” se va expune parametrul „Frequency” (frecvență)

specific elementului „generator de semnal” (eng. Signal Generator) (Fig. 38). Operația se va încheia cu comanda „Save configuration”.

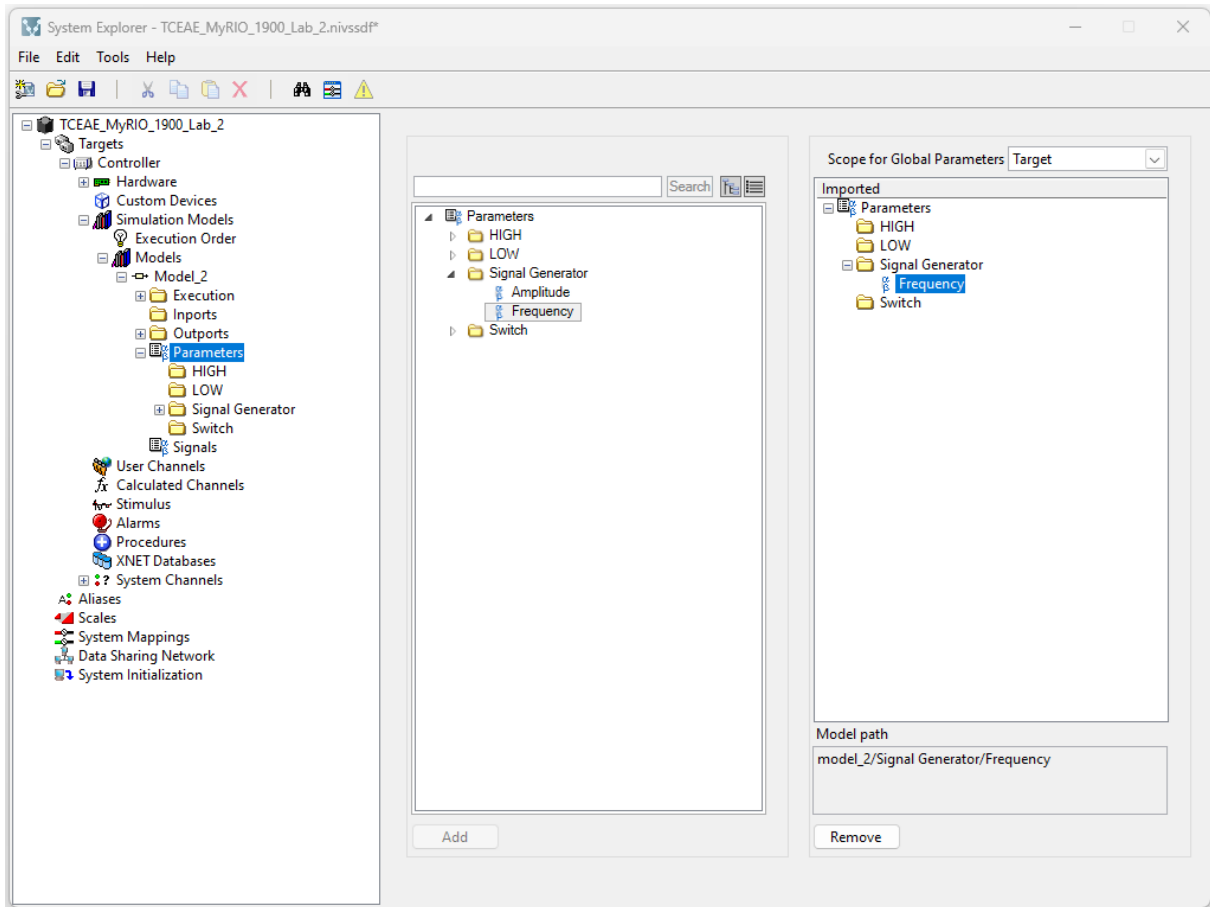


Fig. 38 – Expunerea parametrilor din cadrul modelului Simulink în panoul frontal

Parametrul „Frequency” va fi disponibil în categoria System Definition (Fig. 39):

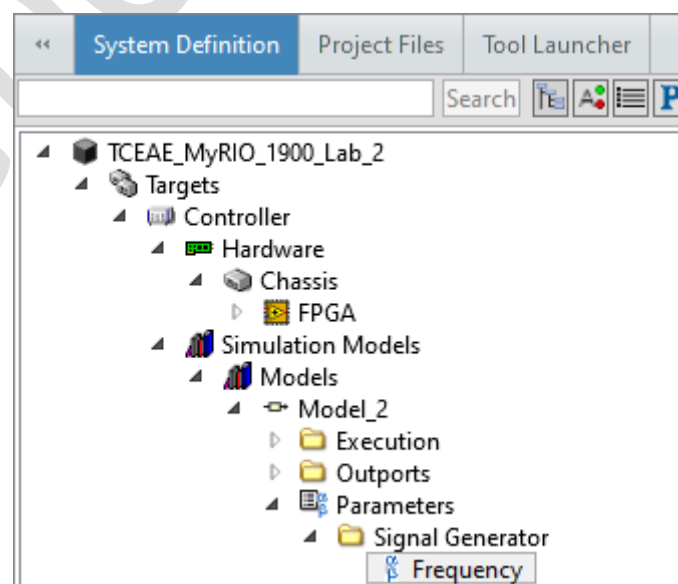


Fig. 39 – Expunerea parametrului „Frequency” în cadrul categoriei „System Definition”

În cadrul panoului frontal se vor introduce două grafice pentru a reprezenta variația în timp a semnalelor de comandă pentru diodele electroluminiscente considerate. Totodată se va introduce și un cursor linear pentru a regla frecvența semnalelor de comandă sau timpul de semnalizare (Fig. 40).

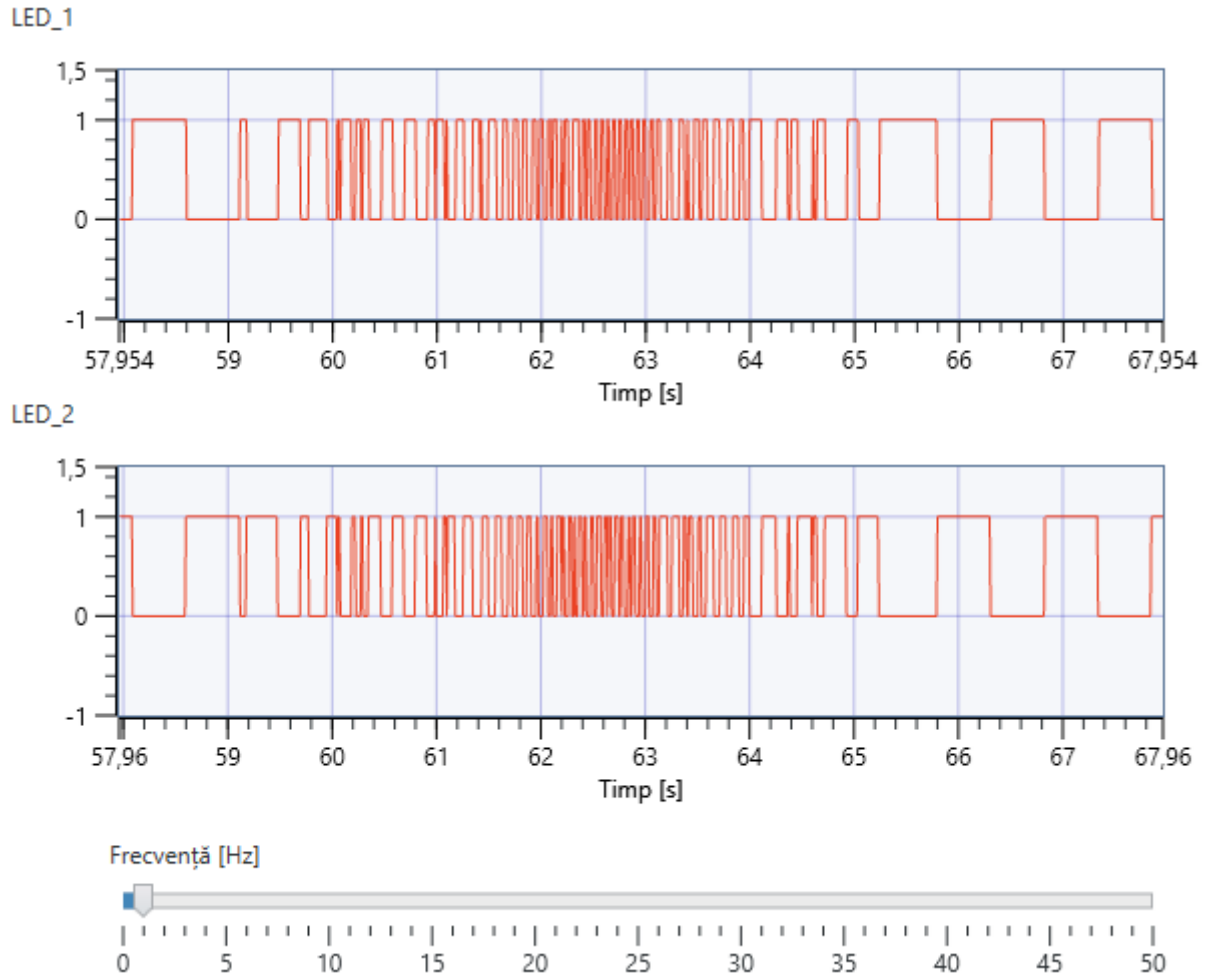


Fig. 40 – Panoul frontal specific modelului Simulink nr. 2

Semnalizarea alternativă și intermitentă cu frecvență variabilă poate fi observată la nivelul ieșirilor digitale „DO0\_A” și „DO4\_A” la care au fost atașate două diode electroluminiscente (DO0\_A – verde și DO4\_A – roșu) (Fig. 41)



Fig. 41 – Semnalizarea alternativă și intermitentă cu frecvență variabilă



MODEL 3:

Se va implementa următorul model Simulink (Fig. 42):

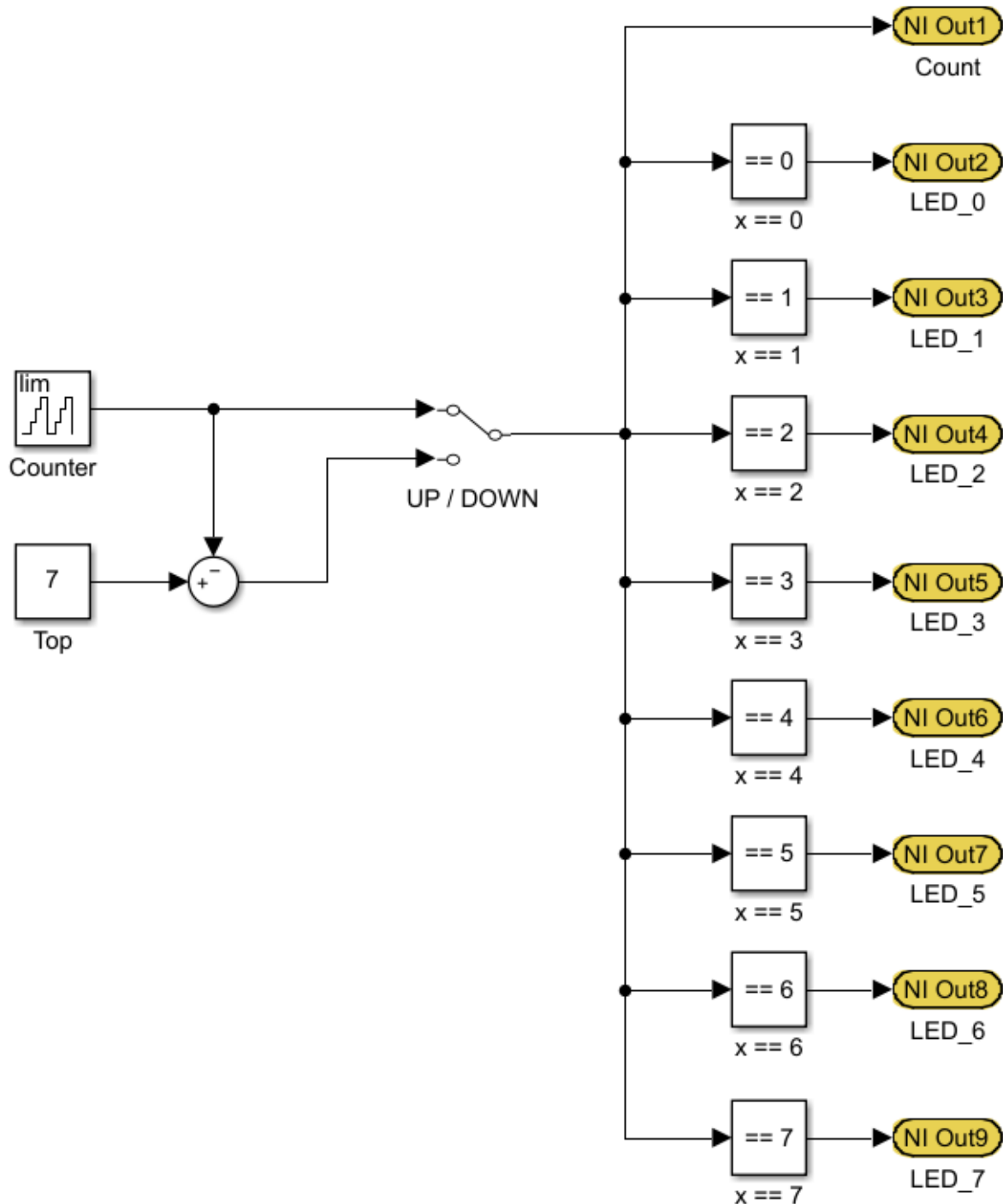


Fig. 42 – Diagrama bloc a modelului Simulink nr. 3

Pentru obținerea fișierului executabil „Model\_3.so” se va proceda în mod similar ca și în etapele anterioare specifice elaborării primului model.

În cadrul mediului NI VeriStand se vor realiza următoarele asocieri (Fig. 43):

- „Output.DO0\_A” (bloc „RIO0”) → „Outports.LED\_0” (bloc „Model\_3”);
- „Output.DO1\_A” (bloc „RIO0”) → „Outports.LED\_1” (bloc „Model\_3”);

- „Output.DO2\_A” (bloc „RIO0”) → „Outports.LED\_2” (bloc „Model\_3”);
- „Output.DO3\_A” (bloc „RIO0”) → „Outports.LED\_3” (bloc „Model\_3”);
- „Output.DO4\_A” (bloc „RIO0”) → „Outports.LED\_4” (bloc „Model\_3”);
- „Output.DO5\_A” (bloc „RIO0”) → „Outports.LED\_5” (bloc „Model\_3”);
- „Output.DO6\_A” (bloc „RIO0”) → „Outports.LED\_6” (bloc „Model\_3”);
- „Output.DO7\_A” (bloc „RIO0”) → „Outports.LED\_7” (bloc „Model\_3”);

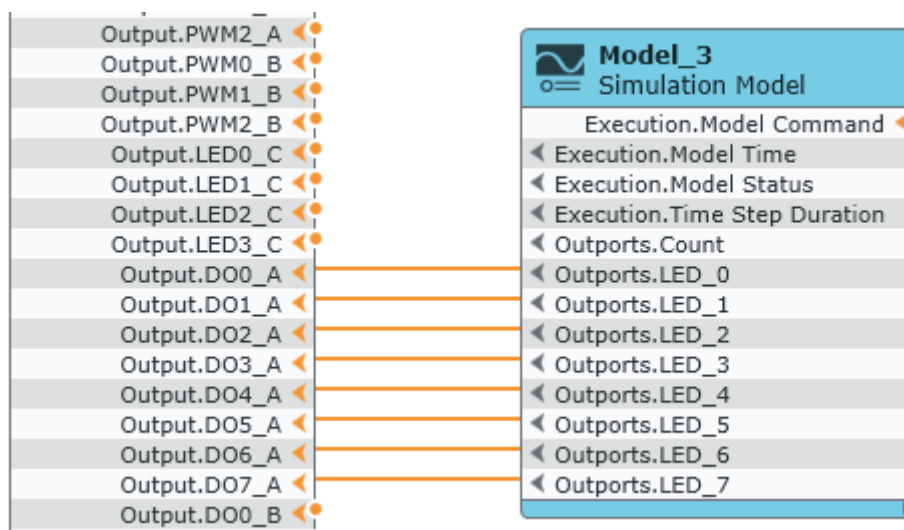


Fig. 43 - Conexiunile dintre intrările și ieșirile virtuale ale modelului Simulink și intrările și ieșirile digitale ale platformei de dezvoltare NI MyRIO 1900

În cadrul panoului frontal, se va introduce un afișaj grafic opt indicatori de stare și un buton linear orizontal pentru schimbarea sensului de numărare (Fig. 44).

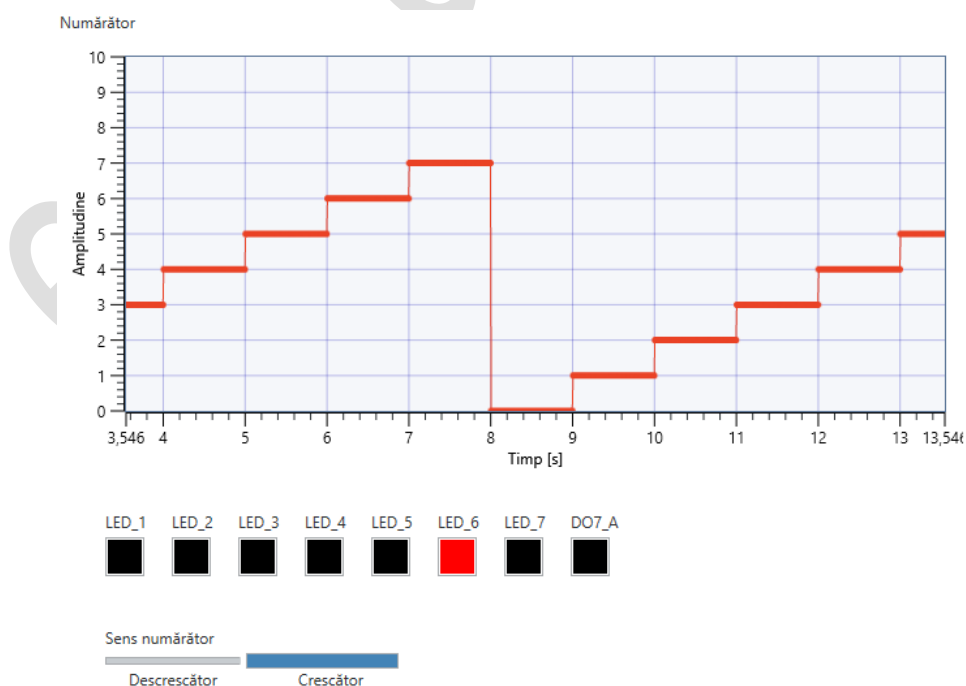


Fig. 44 – Panoul frontal VeriStand corespunzător modelului nr. 3

În cadrul afișajului grafic se va reprezenta semnalul de ieșire al numărătorului ca fiind un semnal discret cu șapte trepte. Afișarea rezultatului pe baza indicatorilor luminoși se va realiza prin intermediul funcțiilor de comparare succesivă cu constanta specifică fiecărui nivel al amplitudinii (intervalul [0 – 7]).

NOTĂ: Butonul de schimbare a sensului de numărare corespunde comutatorului „UP / DOWN” și a fost implementat prin expunerea parametrului „UP / DOWN → CurrentSetting”. Operația de expunere a parametrilor din model se va realiza conform etapelor prezentate în modelul anterior!

NOTĂ: Modificarea modului de lucru al indicatorilor luminoși se poate realiza de asemenea prin schimbarea tipului de comparator. Spre exemplu, în cazul de față, șirul de indicatori funcționează în modul „baleiere pozițională a șirului” deoarece fiecare indicator se aprinde pe rând odată cu îndeplinirea condiției de comparație ( $x = y$ ) iar ceilalți indicatori rămân stinși atâta timp cât condiția nu se îndeplinește, rezultând astfel deplasarea în sens crescător sau descrescător a „spotului luminos” (Fig. 45).



Fig. 45 – Modul de lucru „baleiere pozițională a șirului de indicatori luminoși”

Există un al doilea mod de lucru, anume modul „indicator de nivel” (eng. bargraph). În situația respectivă condiția de comparație va fi dublă, anume, se va verifica atât dacă parametrul 1 este egal cu parametrul 2 dar și dacă parametrul 1 este mai mare decât parametrul 2 ( $x \geq y$ ). În situația îndeplinirii condițiilor date, indicatorii luminoși se vor aprinde în mod succesiv și vor rămâne în aceeași stare atâta timp cât condiția de comparație este îndeplinită, rezultând astfel un instrument indicator de nivel proporțional cu amplitudinea semnalului de intrare (Fig. 46).



Fig. 46 – Modul de lucru „indicator de nivel”

MODEL 4:

Se va implementa următorul model Simulink (Fig. 47):

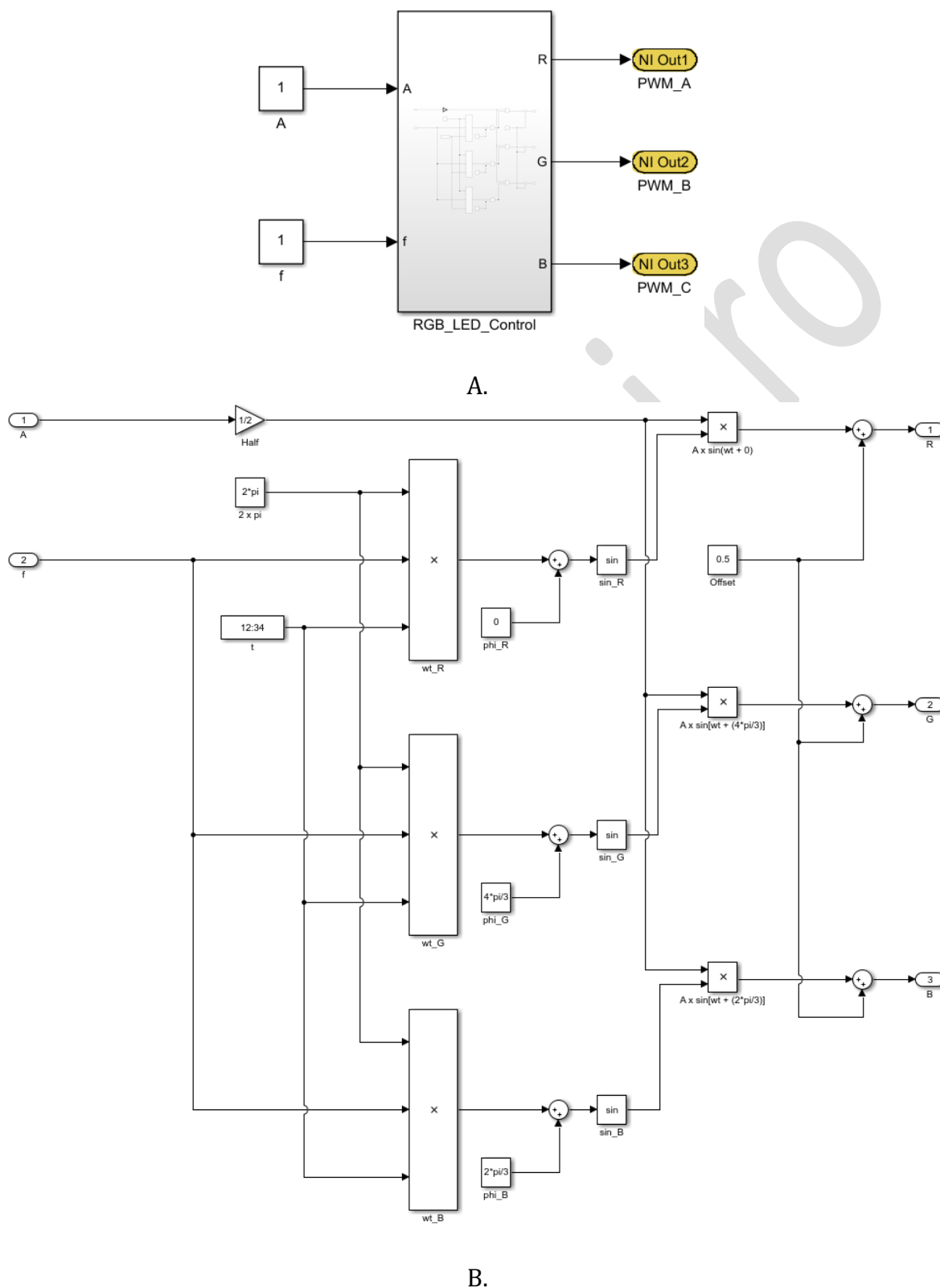


Fig. 47 – Diagrama modelului Simulink nr. 4 (Sistem „A.” și conținut sub-sistem „B”)

Pentru obținerea fișierului executabil „Model\_4.so” se va proceda în mod similar ca și în etapele anterioare specifice elaborării primului model.

În cadrul mediului NI VeriStand se vor realiza următoarele asocieri (Fig. 48):

- „Output.PWM0\_A” (bloc „RIO0”) → „Outports.PWM\_A” (bloc „Model\_4”);
- „Output.PWM1\_A” (bloc „RIO0”) → „Outports.PWM\_B” (bloc „Model\_4”);
- „Output.PWM2\_A” (bloc „RIO0”) → „Outports.PWM\_C” (bloc „Model\_4”);

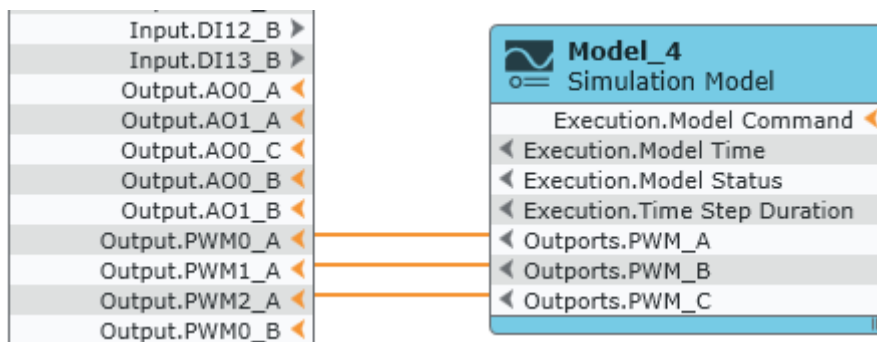


Fig. 48 - Conexiunile dintre intrările și ieșirile virtuale ale modelului Simulink și intrările și ieșirile digitale ale platformei de dezvoltare NI MyRIO 1900

În cadrul panoului frontal, se va introduce un afișaj grafic și două cursoare corespunzătoare parametrilor „Amplitudine” și „Frecvență” ai semnalului dat (Fig. 49).

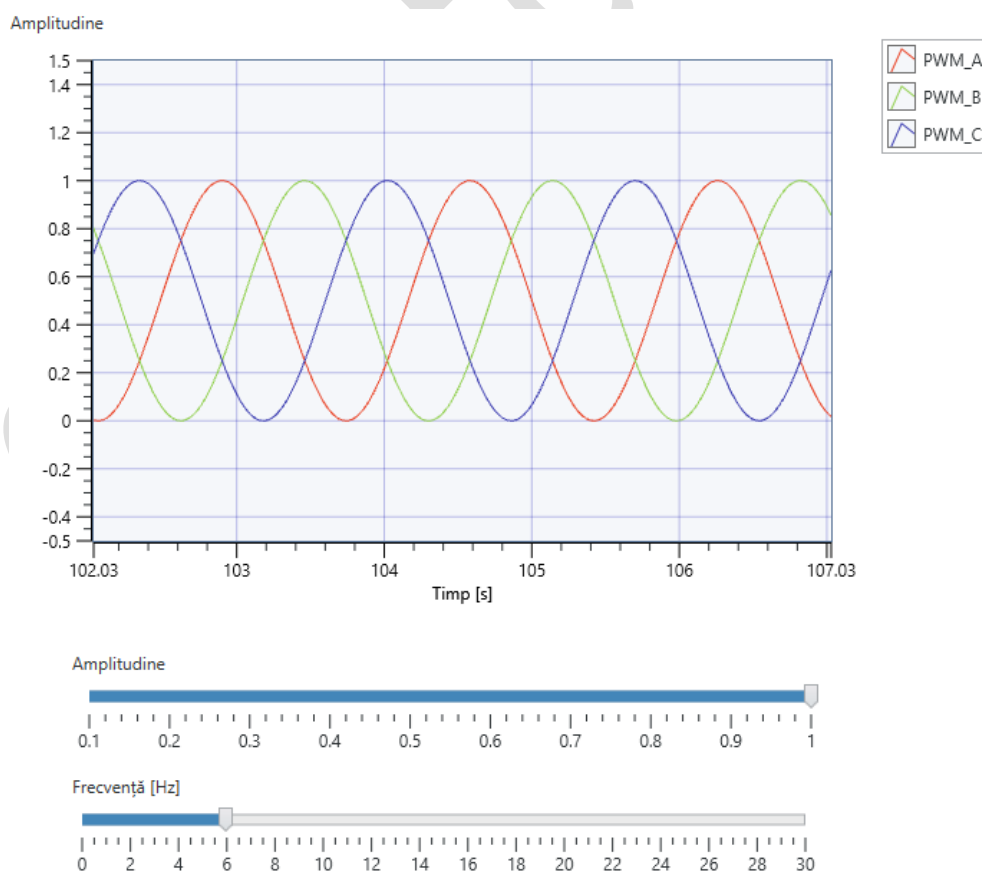


Fig. 49 – Panoul frontal VeriStand corespunzător modelului nr. 4

Pentru a modifica intensitatea luminoasă a fiecărei porțiuni din cadrul diodei electroluminiscentă multicoloră RGB (R – eng. Red (roșu), G – eng. Green (verde), B – eng. Blue (albastru)), vor fi furnizate trei semnale modulate în lățime (eng. PWM – Pulse Width Modulation) după o lege de variație sinusoidală (eng. SPWM – Sinusoidal Pulse Width Modulation). Pentru a baleia întregul domeniu cromatic posibil-realizabil prin reprezentarea acestuia în trei planuri de culoare separate (RGB), se va alege un sistem sinusoidal trifazat simetric, corespunzător pentru fiecare plan de culoare. Prin urmare, modelul matematic Simulink se va construi pe baza ecuațiilor următoare:

$$\begin{cases} PWM\_A(t) = A \cdot \sin(2 \cdot \pi \cdot f \cdot t) + 0,5 \\ PWM\_B(t) = A \cdot \sin\left(2 \cdot \pi \cdot f \cdot t + \frac{4 \cdot \pi}{3}\right) + 0,5 \\ PWM\_C(t) = A \cdot \sin\left(2 \cdot \pi \cdot f \cdot t + \frac{2 \cdot \pi}{3}\right) + 0,5 \end{cases}$$

Variabilele „A” (amplitudine) și „f” (frecvență) se vor stabili prin intermediul cursoarelor liniare implementate în VeriStand. Acest lucru presupune expunerea parametrilor respectivi din cadrul modelului matematic Simulink în mediul VeriStand.

NOTĂ: Se remarcă faptul că în cadrul ecuațiilor de variație în raport cu timpul apare constanta „0,5” însumată cu întreaga expresie. Aceasta reprezintă componenta continuă necesară pentru a deplasa forma de undă în domeniul de variație pozitiv, anume intervalul [0 1]. Amplitudinea maximă a semnalului sinusoidal este „0,5” iar componenta continuă este „0,5”, rezultând astfel, valoarea maximă a vârfului sinusoidei în jurul valorii „1”, adică valoarea maximă a factorului de umplere (Fig. 49).

Efectul rezultat al implementării va consta într-un ciclu continuu de baleiere a domeniului cromatic RGB. Efectul poate fi perceput de asemenea ca și rotația spotului luminos în cadrul carcasei translucide a diodei electroluminiscentă multicoloră, deoarece, cele trei planuri de culoare sunt dispuse în carcasa diodei conform alinierii dată de unghiul de defazaj specific sistemului sinusoidal trifazat (Fig. 50).



Fig. 50 – Parcurgerea domeniului cromatic RGB

#### IV. CONCLUZIE:

Mediul de testare automată NI VeriStand permite importarea modelului matematic de tip Simulink, iar semnalele virtuale vehiculate sub formă numerică sau digitală pot fi asociate cu terminalele fizice de intrare și ieșire ale unui sistem de calcul în timp real precum platforma de dezvoltare NI MyRIO 1900. Un astfel de procedeu reprezintă o fază din procesul de testare, verificare și re-ajustare a strategiei de control numit (eng. RCP – Rapid Control Prototyping) în cadrul literaturii de specialitate.

Posibilitatea importării modelelor matematice Simulink prezintă de asemenea un avantaj în ceea ce privește reducerea gradului de dificultate întâmpinat în vederea implementării unei strategii de comandă și control. Simplificarea modului de lucru prin utilizarea modelelor Simulink constă în faptul că:

- programarea sau conceperea modelului se realizează grafic cu diagrame bloc;
- există posibilitatea pre-simulării modelului matematic înainte de implementare;
- sunt pre-implementate o serie de blocuri și funcții specifice domeniului ingineresc;

Mediul NI VeriStand permite de asemenea expunerea parametrilor din modelul Simulink în panoul frontal care mai târziu pot fi ajustați în timpul funcționării simulării.

#### V. BIBLIOGRAFIE: