

Tehnici de control și estimare în acționări electrice

- Noțiuni introductive -

I. SCOPUL LUCRĂRII:

Lucrarea de laborator are ca scop:

- familiarizarea studentului cu noțiunile de bază introductive în domeniul controlului digital asistat de calculator cu ajutorul mediilor grafice de simulare și programare;
- familiarizarea studentului cu noțiunile legate de tehnicile și strategiile moderne de control, diagnosticare și verificare a funcționalității (ex. eng. MIL / PIL, RCP, HIL);
- familiarizarea studentului cu instrumentele și echipamentele fizice (eng. Hardware) atașate la calculatorul personal în vederea realizării metodelor de studiu și analiză amintite anterior (MIL / PIL, RCP, HIL).
- familiarizarea studentului cu pachetele de programe (eng. Software) necesare pentru a gestiona un sistem digital de achiziție și control (ex. NI LabVIEW sau Matlab Simulink + VeriStand sau Control Desk).

II. INTRODUCERE:

În cadrul domeniului științelor ingineresti aplicate, există **diverse probleme** care necesită **rezolvarea lor într-un anumit interval de timp cu o anumită frecvență** (ex. măsurarea tensiunii electrice în circuit în vederea menținerii unei valori constante).

De cele mai multe ori condițiile în care este necesară rezolvarea problemelor depășesc capacitățile operatorului uman (ex. realizarea în mod repetat a unor anumite operații simple, supravegherea simultană a unor operații complexe). Prin urmare, în cadrul acestei materii, se propune **studierea și analiza metodelor de reglare automată și estimare a parametrilor** în vederea realizării **controlului asistat digital**.

Un sistem de reglare automată poate fi descris la modul general, prin intermediul diagramelor sinoptice și al simbolurilor standardizate în domeniul automatizărilor, conform figurii de mai jos (Fig. 1).

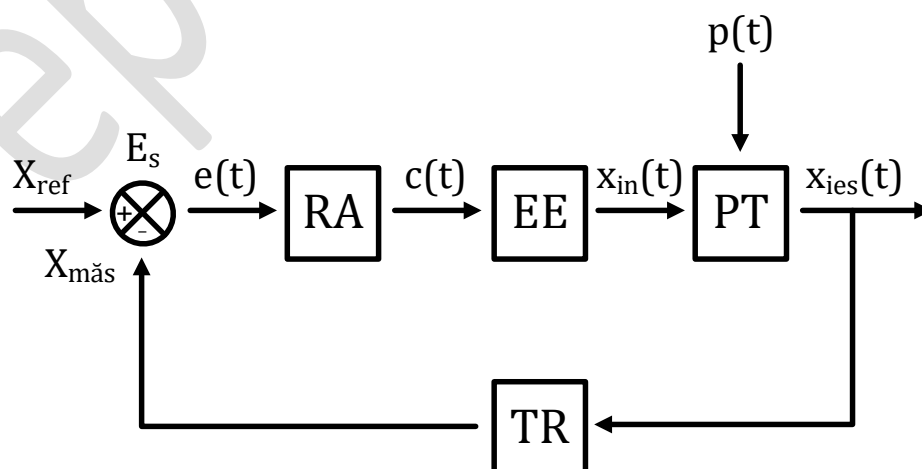


Fig. 1 – Schema bloc principală a unui sistem de reglare automată în buclă închisă
Sistemele de reglare automată, în general, pot fi:

- sisteme care asigură doar posibilitatea de ajustare mărimii de comandă (buclă deschisă);
- sisteme care asigură controlul sau stabilizarea mărimii de comandă (buclă închisă);

De cele mai multe ori, discuția despre noțiunea de **sisteme de reglare automată** atrage după sine în mod obligatoriu noțiunea de „**control automat sau asistat**”. În acest sens, se presupune în prealabil **existența unui bloc regulator automat în schema de reglare**, deci, structura dată va fi una în **buclă închisă**. Astfel, când se sugerează noțiunea de „**control**” atunci este vorba despre arhitectura unui „**sistem în buclă închisă**” (Fig. 1).

Elementele și mărimile regăsite în schema sau arhitectura unui sistem de reglare automat în buclă închisă sunt:

- „ X_{ref} ” – mărimea de referință impusă în vederea reglării (ex. obiectivul de atins);
- „ E_s ” – elementul sumator sau diferențiator (uneori comparator);
- „ $e(t)$ ” – eroarea sau abaterea sistemului (diferența dintre referință și măsură);
- „ RA ” – regulatorul automat (ex. HYST sau PI);
- „ $c(t)$ ” – mărimea de comandă pentru elementul de execuție (ex. factor de umplere);
- „ EE ” – elementul de execuție (ex. convertor electronic de putere);
- „ $X_{in}(t)$ ” – mărimea instantanee de intrare pentru procesul tehnologic (ex. tensiune);
- „ PT ” – procesul tehnologic deservit (ex. sarcină sau consumator);
- „ $p(t)$ ” – mărimea perturbatoare (ex. modificarea rezistenței consumatorului);
- „ $X_{ies}(t)$ ” – mărimea de ieșire a procesului tehnologic (ex. tensiunea la borne);
- „ TR ” – traductorul sau senzorul utilizate pentru monitorizarea mărimii reglate;
- „ $X_{măs}$ ” – valoarea medie sau efectivă a mărimii de măsură.

Din punct de vedere al blocului regulator, se disting două dintre cele mai des întâlnite strategii de control:

- ajustarea automată a mărimii date prin intermediul regulatorului cu histerezis (HYST);
- ajustarea automată a mărimii date prin intermediul regulatorului proporțional integrator cu efect derivativ (PID);

În prezent, blocul regulator, poate fi implementat atât cu ajutorul componentelor electronice discrete, electro-mecanice, pneumatice sau hidraulice, cât și **numeric sau analitic** cu ajutorul **sistemelor de calcul în timp real**, pe baza ecuațiilor de stare sau diferențiale, precum:

Ecuațiile de stare ale regulatorului cu histerezis:

$$\begin{cases} X_{măs} < X_{ref} - \Delta X \rightarrow e(t) = „+” \rightarrow c(t) = ON \\ X_{măs} = X_{ref} \rightarrow e(t) = „0” \rightarrow c(t) = c(t) \\ X_{măs} > X_{ref} + \Delta X \rightarrow e(t) = „-” \rightarrow c(t) = OFF \end{cases}$$

Ecuațiile diferențiale ale regulatorului proporțional integrator cu efect derivativ:

$$c(t) = K_p \cdot e(t) + K_i \cdot \int_0^t e(t) \cdot dt + K_d \cdot \frac{de(t)}{dt} \quad \text{unde „}K_p\text{”, „}K_i\text{” și „}K_d\text{” sunt constante}$$

Seturile de ecuații prezentate anterior sunt **pre-implementate** în **mediile de modelare, simulare și programare** precum MathWorks Matlab – Simulink (Fig. 2), National Instruments LabVIEW, Altair Embed sau PLEXIM PLECS.

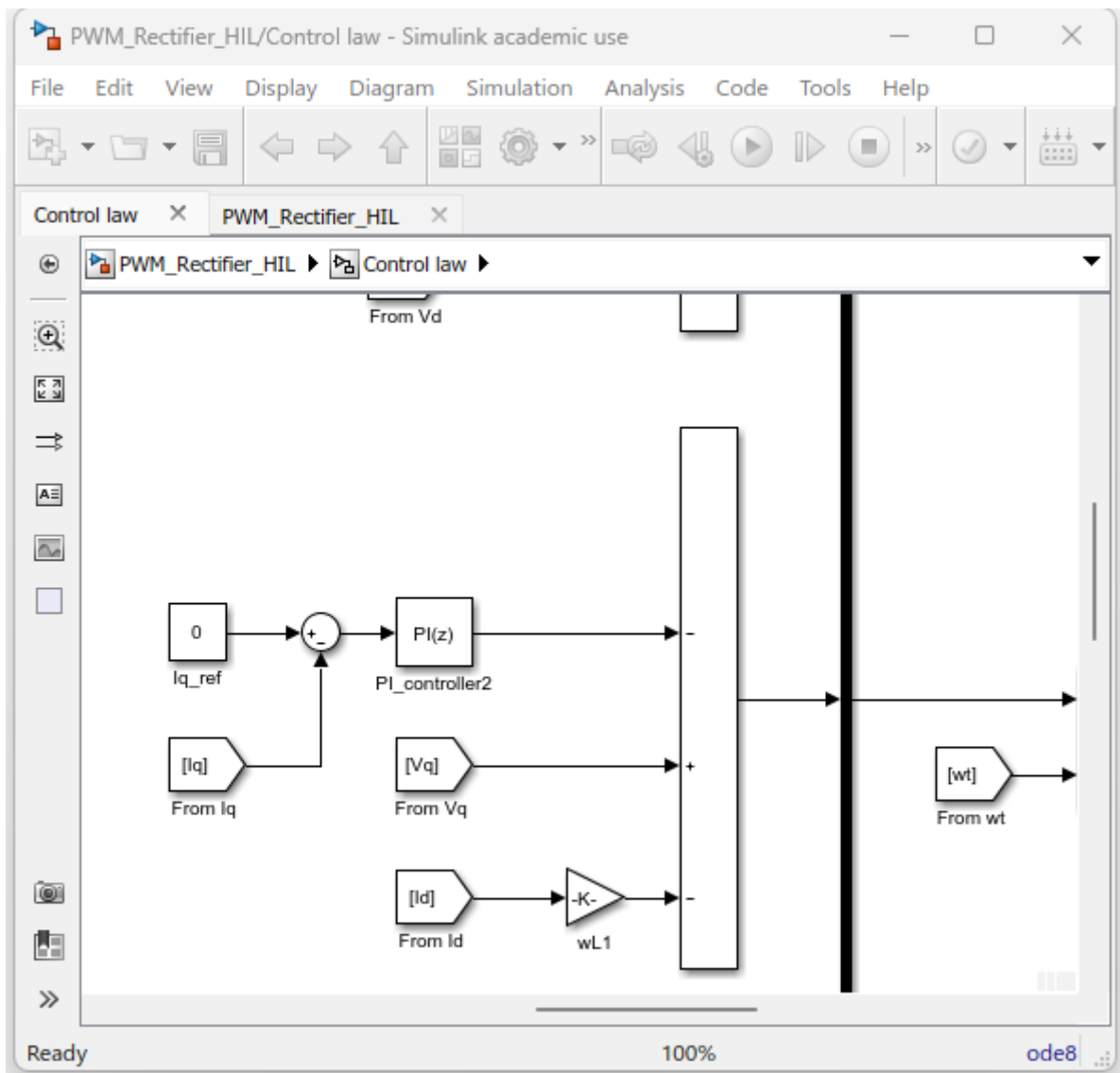


Fig. 2 – Mediul de modelare, simulare și programare Matlab - Simulink

În cadrul mediilor de modelare, simulare și programare, pot fi implementate diverse strategii de control, iar pe baza modelului (cu diagrame și blocuri), se pot efectua diverse studii precum:

- (eng. MIL / PIL) Model In the Loop / Processor In the Loop – implementarea modelului strategiei de control **pe procesorul calculatorului sau al platformei de dezvoltare** în vederea validării funcționalității acestuia în condițiile date (Fig. 3).

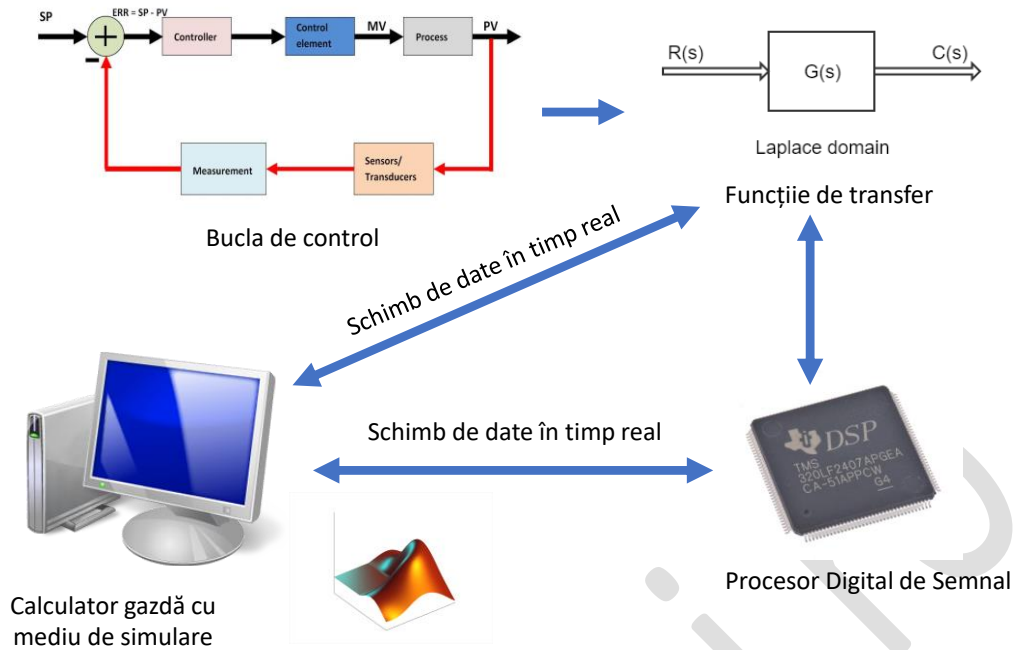


Fig. 3 – Studiul de tip Model / Processor In the Loop

- (eng. RCP) Rapid Control Prototyping – implementarea modelului strategiei de control **pe procesorul platformei de dezvoltare** și **utilizarea intrărilor sau ieșirilor fizice** (digitale sau analogice) pentru achiziționarea semnalului sau furnizarea acestuia înspre modelul fizic al elementului de execuție atașat la procesul tehnologic dat (Fig. 4).

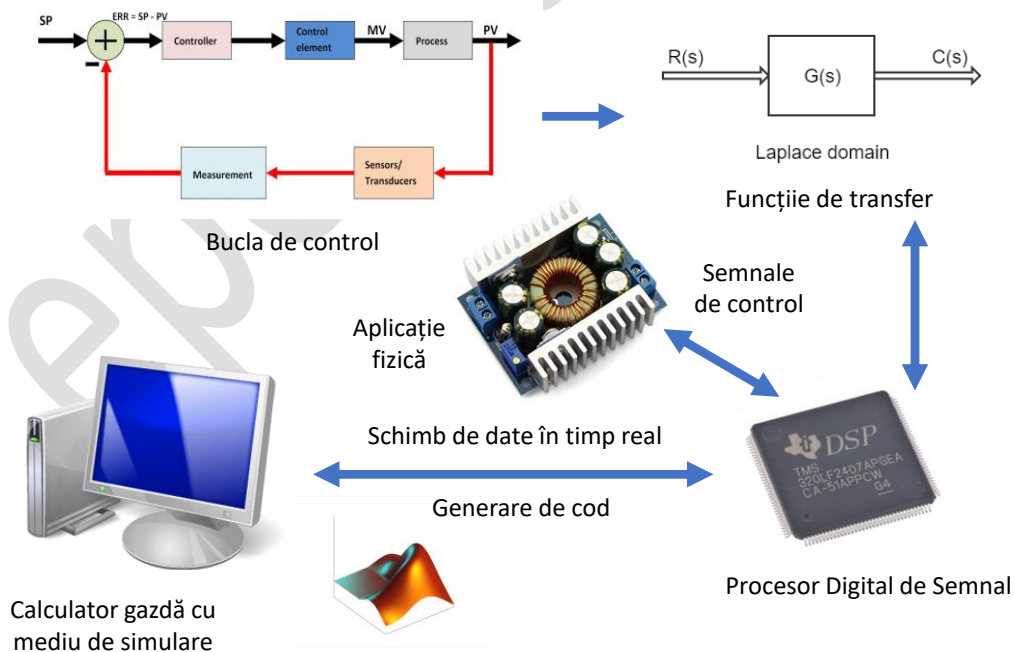


Fig. 4 - Studiul de tip Rapid Control Prototyping

- (eng. HIL) Hardware In the Loop – **implementarea pe platforma de dezvoltare atât a modelului elementului de execuție + procesului tehnologic cât și a strategiei de control**. Implementarea se realizează pe **două platforme de dezvoltare diferite**, iar prin intermediul intrărilor și ieșirilor fizice (digitale sau analogice) se realizează schimbul de semnale între cele două sisteme de calcul în timp real (Fig. 5).

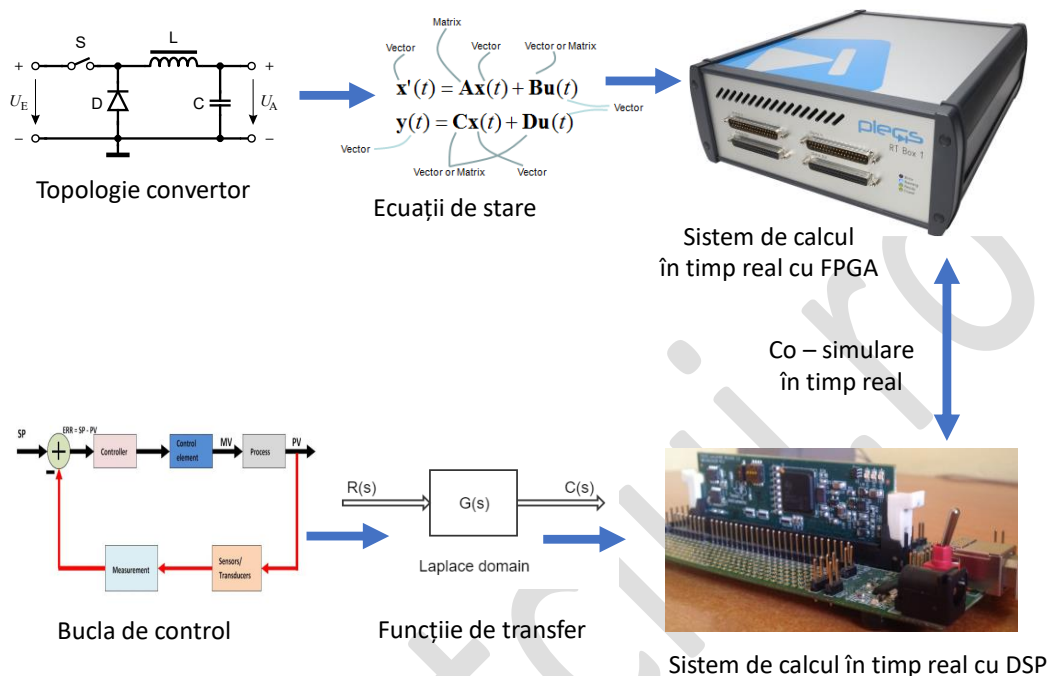


Fig. 5 - Studiul de tip Hardware In the Loop

Practic, în situația în care se dorește doar modelarea și simularea procesului tehnologic + strategia de control în cadrul unui mediu de simulare se apelează la un studiu de tip MIL (eng. Model In the Loop). Când este necesară testarea strategiei de control în condiții dinamice, dar în absența modelului fizic al elementului de execuție și al procesului tehnologic, atunci se procedează la implementarea unui **model virtual** în cadrul studiului HIL (eng. Hardware In the Loop). În final, dacă strategia de control a fost testată și validată în mod dinamic atât în simulare cât și în cadrul modelului virtual HIL, atunci, algoritmul de control poate fi implementat pe procesorul platformei de dezvoltare iar semnalele vehiculate provin de la modelul fizic al elementului de execuție și al procesului tehnologic deservit. Un astfel de studiu poartă denumirea de Rapid Control Prototyping.

În vederea implementării strategiilor de comandă și control există sisteme de calcul specializate precum:

- platforme de dezvoltare cu DSP + procesor ARM (MicroDAQ) (Fig. 6);
- platforme de dezvoltare cu FPGA + procesor ARM (NI MyRIO sau dSpace) (Fig. 7);

Procesoarele digitale de semnal (eng. DSP – Digital Signal Processor) reprezintă una dintre cele mai des întâlnite soluții pentru implementarea strategiilor de control deoarece poate executa **operații complexe cu semnale** și **matrici de numere**.

Ariile de porți programabile (eng. FPGA – Field Programmable Gate Array) sunt utilizate în vederea implementării structurilor de control sau a modelelor pentru elementele de execuție, datorită proprietății lor unice de a executa **operațiile în mod paralel** și **în volum relativ mare**. Implementarea strategiei de control se realizează în

acest sens cu ajutorul elementelor logice (porți, elemente bi-stabile sau memorii) din cadrul ariei de porți. Ca și exemple de astfel de echipamente avem:

- MicroDAQ cu procesor digital de semnal Texas Instruments C6000;
- National Instruments MyRIO 1900 cu procesor ARM Cortex A9 și FPGA Xilinx Zynq 7010;



Fig. 6 – MicroDAQ – platformă de dezvoltare cu procesor digital de semnal (eng. DSP)



Fig. 7 – MyRIO 1900 – platformă de dezvoltare cu arie de porți programabilă (eng. FPGA)

În cadrul lucrării actuale, se va utiliza în mod preponderent NI MyRIO 1900 ca și platformă de dezvoltare **re-configurabilă** (eng. RIO – Re-configurable Input / Output unit) cu arie de porți programabilă Zynq 7010. Platforma de dezvoltare NI MyRIO 1900 dispune de următoarea **arhitectură pre-implementată** de la producător (Fig. 8):

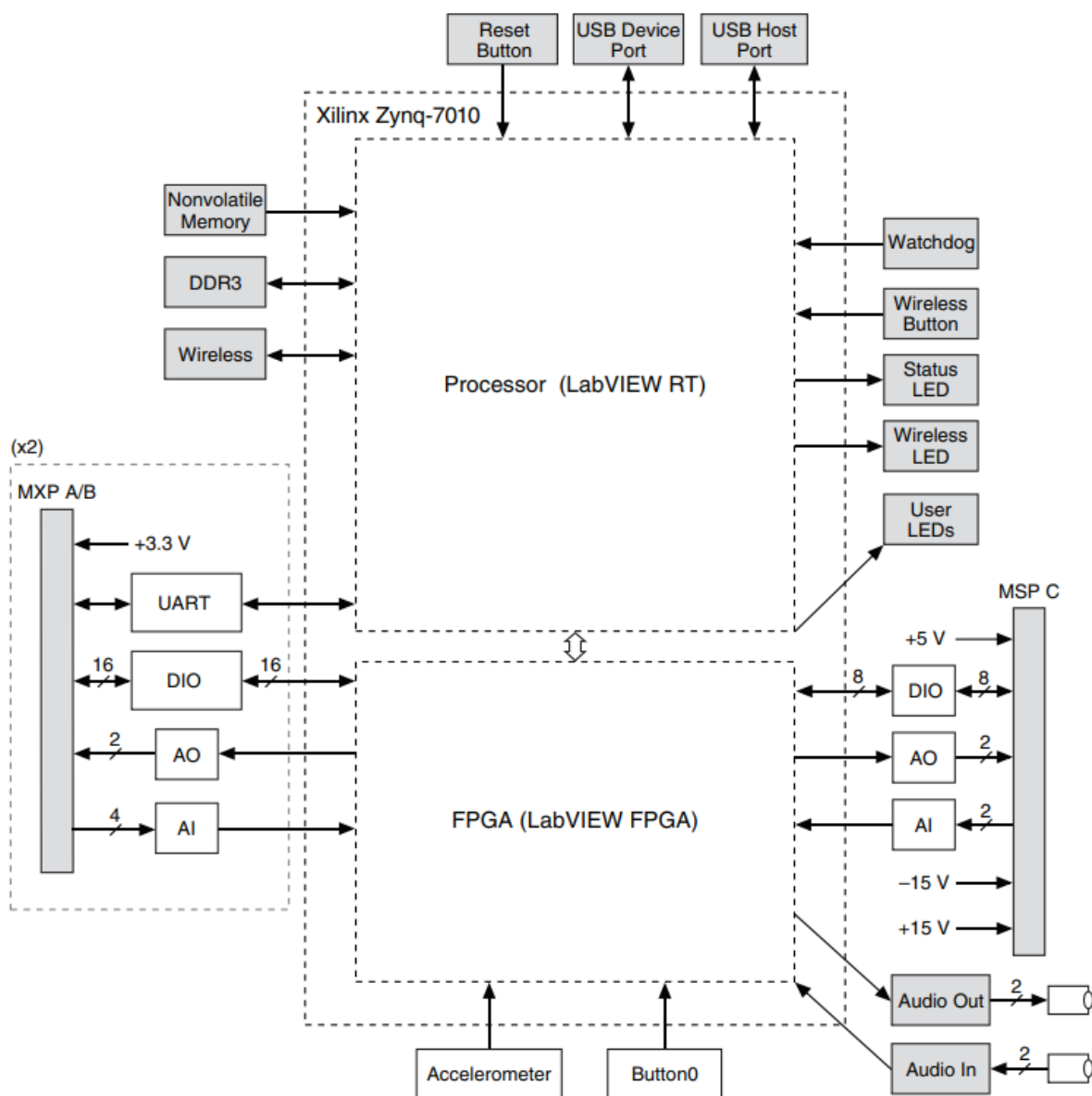


Fig. 8 – Arhitectura predefinită de producător a platformei de dezvoltare NI MyRIO 1900

Conform figurii de mai sus (Fig. 8), se poate identifica faptul că, pe lângă cele două unități de procesare (CPU + FPGA), mai există și o serie de elemente periferice precum convertor **analog - digital** (eng. Analog to Digital Converter – ADC) și convertor **digital - analog** (eng. Digital to Analog Converter – DAC). Cele două elemente, permit atât **achiziționarea și furnizarea semnalelor analogice** cât și **procesarea** acestora pe baza algoritmului de reglare ce urmează a fi implementat în cadrul procesorului ARM. De asemenea, există **intrări și ieșiri digitale**, care permit **acționarea unor elemente comutatoare fizice** (ex. relee sau tranzistoare). Practic, cu ajutorul acestui echipament, va fi posibilă **implementarea digitală a strategiei de comandă și control** pentru un sistem de reglare automat dat.

La periferia plăcii de bază a platformei există două tipuri de conectori și terminale:

- „MXP” – MyRIO eXpansion Port (Fig. 9);
- „MSP” – MyRIO System Port – Phoenix Screw Terminal (Fig. 10);

Din cadrul arhitecturii rezultă următoarele funcții alocate terminalelor MXP și MSP:

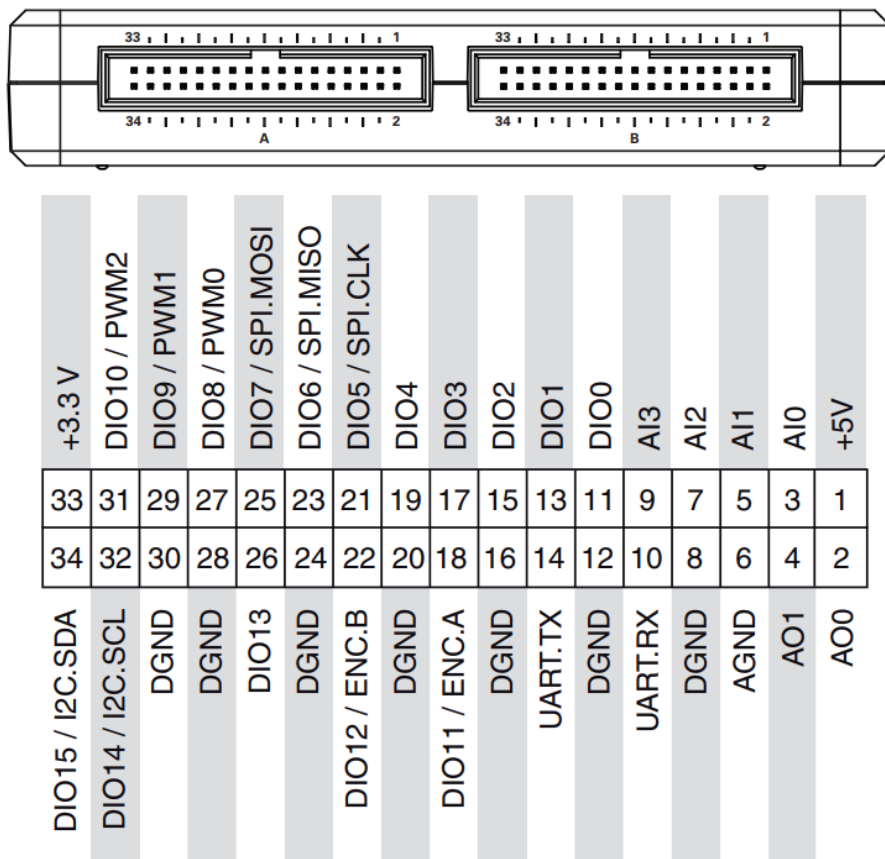


Fig. 9 – Funcțiile alocate blocurilor de terminale MXP

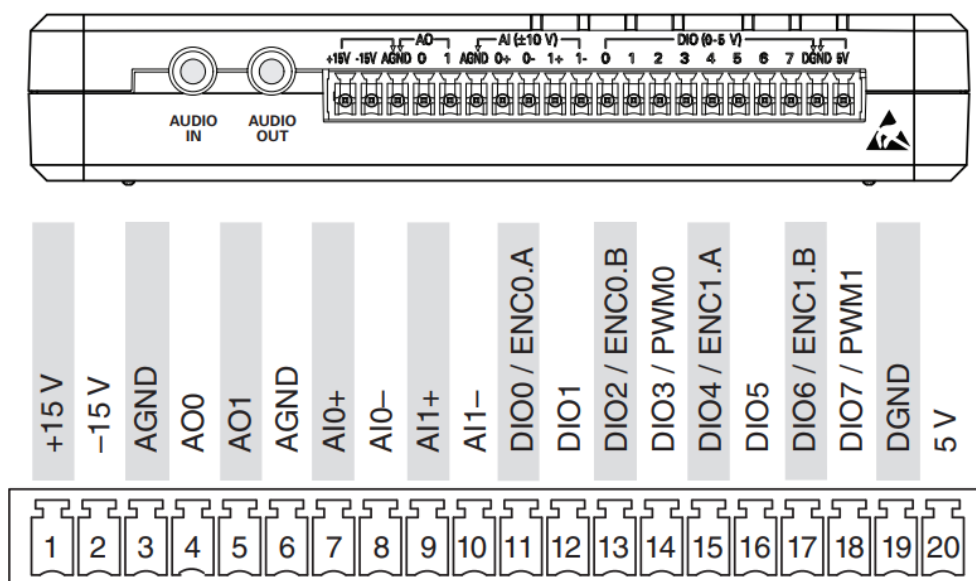


Fig. 10 – Funcțiile alocate blocului de terminale MSP

Din punct de vedere al programelor necesare în vederea gestionării platformei de dezvoltare NI MyRIO 1900, există mai multe direcții de dezvoltare a aplicației finale:

- NI LabVIEW for MyRIO – în situația în care se utilizează arhitectura pre-implementată;
- **NI LabVIEW FPGA** – în situația în care se dorește re-configurarea arhitecturii FPGA;
- **NI VeriStand + MathWorks Matlab - Simulink** – pentru dezvoltarea soluțiilor complexe de simulare și implementare a strategiilor de control pe bază de model grafic.

În cadrul acestei discipline, se va utiliza NI LabVIEW FPGA și NI VeriStand + Matlab – Simulink pentru a realiza studiu de tip Rapid Control Prototyping. În acest sens, a fost implementată o arhitectură diferită de cea prestabilită de producător în cadrul mediului LabVIEW FPGA, dar care este compatibilă cu mediul de gestionare a resurselor VeriStand (Fig. 11). Implementarea arhitecturii a fost asistată de către utilitarul „NI VeriStand Custom FPGA Project Wizard” (<https://forums.ni.com/t5/NI-Labs-Toolkits/NI-VeriStand-FPGA-Based-I-O-Interface-Tools/ta-p/3493285>) și utilitarul „NI VeriStand Add-on: FPGA XML Builder Node” (<https://forums.ni.com/t5/NI-VeriStand-Add-Ons-Documents/NI-VeriStand-Add-On-FPGA-XML-Builder-Node/ta-p/3495376>).

Prin intermediul arhitecturii implementată în această etapă au fost expuse terminalele de acces pentru plăcuțele de expansiune necesare studiului comportamentului strategiei de control.

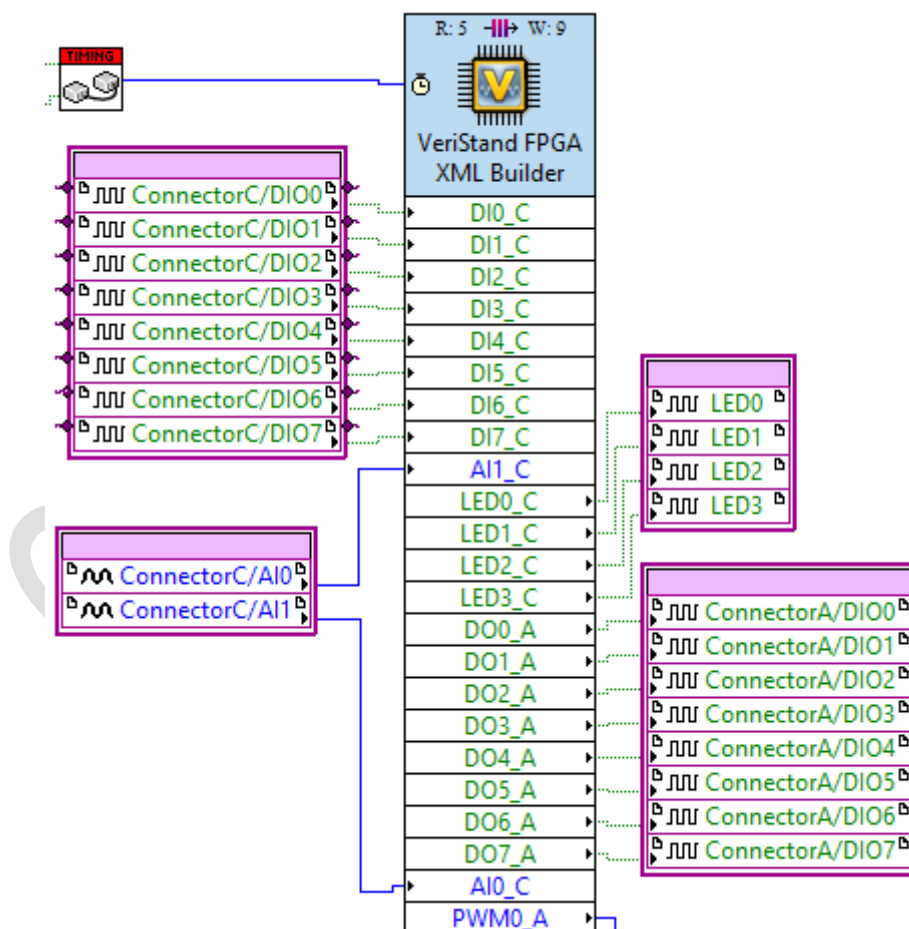


Fig. 11 – Particularizarea arhitecturii nucleului FPGA Zynq 7010 în NI LabVIEW FPGA

Prin intermediul instrumentelor „NI LabVIEW FPGA”, „NI VeriStand Custom FPGA Project Wizard” și „FPGA XML Builder Node” utilizatorul platformei NI MyRIO 1900 are posibilitatea de a re-configura și expune în cadrul mediului NI VeriStand atât intrările și ieșirile fizice (sau terminalele) cât și funcțiile alternative alocate acestora (Fig. 12).

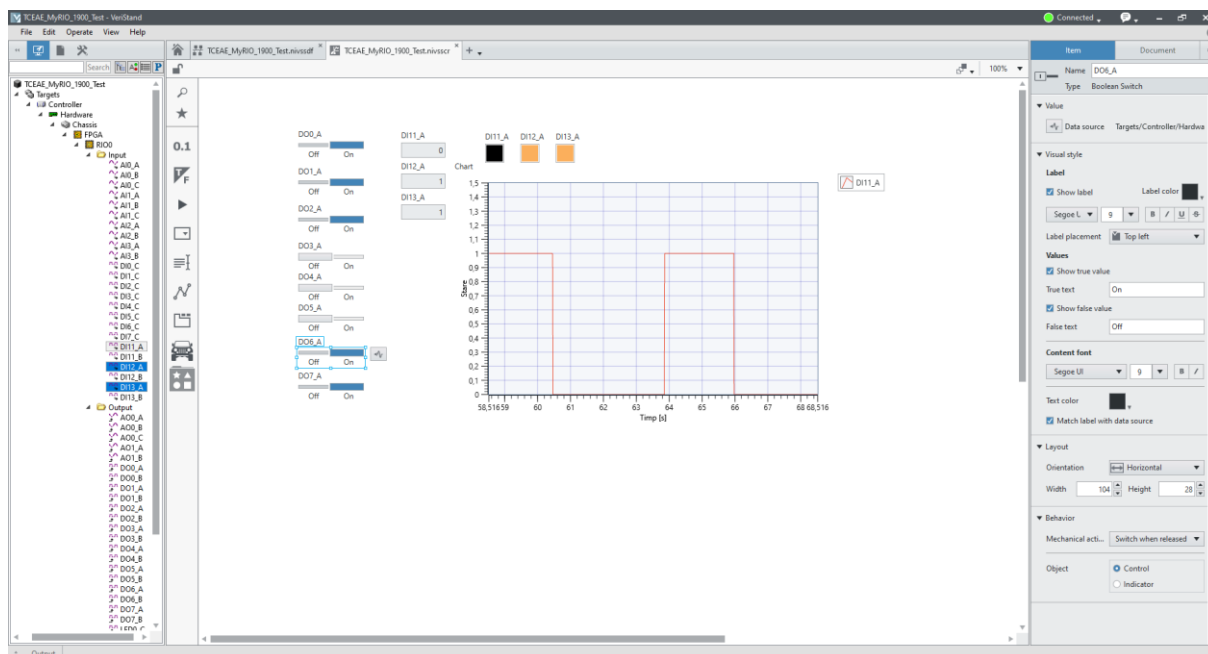


Fig. 12 – Mediul de testare NI VeriStand având expuse intrările și ieșirile digitale aferente nucleului FPGA Zynq 7010 al platformei de dezvoltare NI MyRIO

Practic prin intermediul acestui instrument se va realiza gestiunea (eng. management) resurselor fizice (eng. hardware) disponibile la nivel de nucleu FPGA. Totodată, în cadrul mediului de re-configurare și re-programare NI LabVIEW FPGA se pot implementa funcții speciale precum generatoare de semnal sau analizoare spectrale de tip Fourier, care pot fi apelate mai târziu în mediul de testare NI VeriStand.

Tot în cadrul mediului NI VeriStand, există posibilitatea de a importa modelul matematic (ex. Simulink) al strategiei de comandă și control care, mai târziu poate fi asociat cu intrările și ieșirile fizice ale sistemului de calcul NI MyRIO 1900 (Fig. 13, 14).

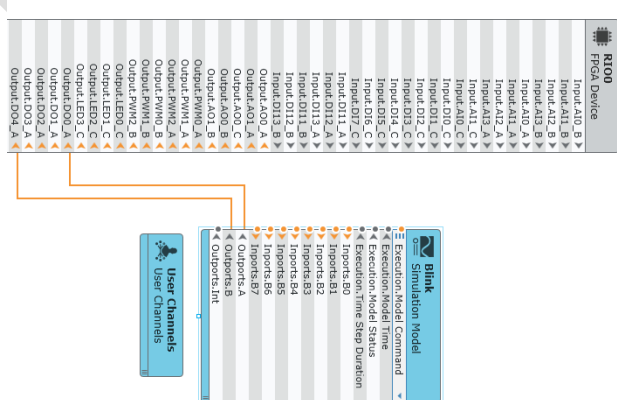


Fig. 13 – Asocierea intrărilor și ieșirilor fizice cu intrările și ieșirile virtuale din model

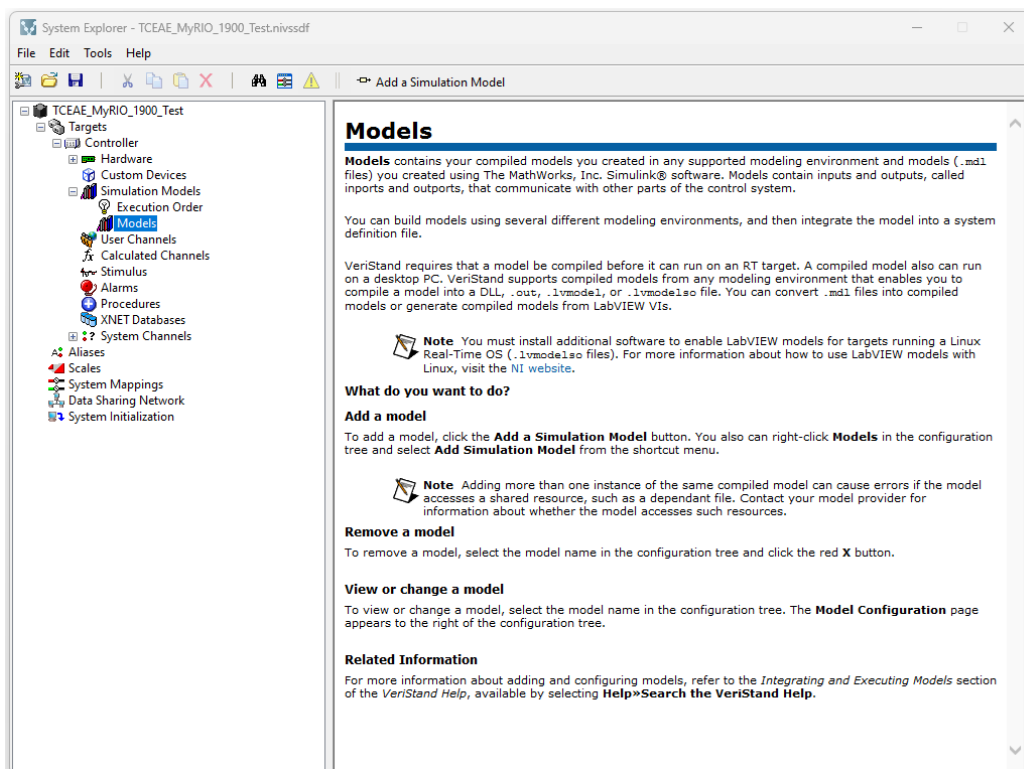


Fig. 14 – Formularul pentru importare a modelelor Simulink în mediul NI VeriStand

Programul generat pe baza modelului Simulink, reprezintă o aplicație executabilă cu extensia „.so” pentru sistemul de operare Linux. Sistemul de operare Linux, rulează pe procesorul de aplicație ARM Cortex A9 din cadrul platformei NI MyRIO (Fig. 15).

```

172.22.11.2 - PuTTY
Mem: 242744K used, 7416K free, 964K shrd, 0K buff, 98612K cached
CPU: 45% usr 7% sys 0% nic 46% idle 0% io 0% irq 0% sirq
Load average: 1.69 1.64 1.68 3/368 4964

```

PID	PPID	USER	STAT	VSZ	%VSZ	%CPU	COMMAND
1711	1694	lvuser	S	135m	55%	47%	{MainThread} ./lvrt
495	2	admin	SW	0	0%	1%	[irq/61-atomiczy]
8	2	admin	SW	0	0%	0%	[ktimersoftd/0]
200	2	admin	SW	0	0%	0%	[irq/76-e0003000]
21	2	admin	SW	0	0%	0%	[ktimersoftd/1]
4962	4916	admin	R	7116	3%	0%	{top} /bin/busybox.nosuid /usr/bin/top
1726	1389	websevr	S	10516	4%	0%	NIWebServiceContainer {4C45DE08-1E9B-1
22	2	admin	SW	0	0%	0%	[ksoftirqd/1]
1389	1388	websevr	S	27904	11%	0%	{SystemWebServer} /usr/local/natinst/s
1641	1	lvuser	S	18464	7%	0%	/usr/local/natinst/bin/tagsrv -start
952	1	admin	S	13424	5%	0%	{niauth_daemon} /usr/local/natinst/sha
1023	1	admin	S	9492	4%	0%	/usr/sbin/wpa_supplicant -Dnl80211 -i
1449	1	admin	S	6980	3%	0%	/usr/local/natinst/bin/niwifibledd -st
96	1	admin	S	1956	1%	0%	/usr/sbin/jitterentropy-rngd
7	2	admin	SW	0	0%	0%	[ksoftirqd/0]
20	2	admin	SW	0	0%	0%	[rcuc/1]
4802	2	admin	IW	0	0%	0%	[kworker/u4:1]
1610	1389	websevr	S	54988	22%	0%	NIWebServiceContainer {4B6AD72B-1E9B-1
1474	1	admin	S	16856	7%	0%	/usr/local/natinst/share/mxs/nimxs -d
1344	1	lvuser	S	14932	6%	0%	/usr/local/natinst/bin/nirioserver

Fig. 15 – Sistemul de operare Linux din cadrul platformei NI MyRIO 1900

III. IMPLEMENTAREA APLICAȚIEI:

În continuare, vor fi descrise principalele etape pentru implementare a unui proiect nou în cadrul mediului NI VeriStand, având ca și platformă de dezvoltare sau sistem de calcul în timp real NI MyRIO 1900. În cadrul aplicației de față, vor fi utilizate terminalele (sau intrările și ieșirile fizice) destinate vehiculării semnalelor digitale (logice) aferente platformei de dezvoltare NI MyRIO 1900. În acest sens, se va utiliza plăcuța modulară nr. 1 destinată studiului operațiilor și procedurilor de manipulare logică sau binară a intrărilor și ieșirilor digitale (Fig. 16).

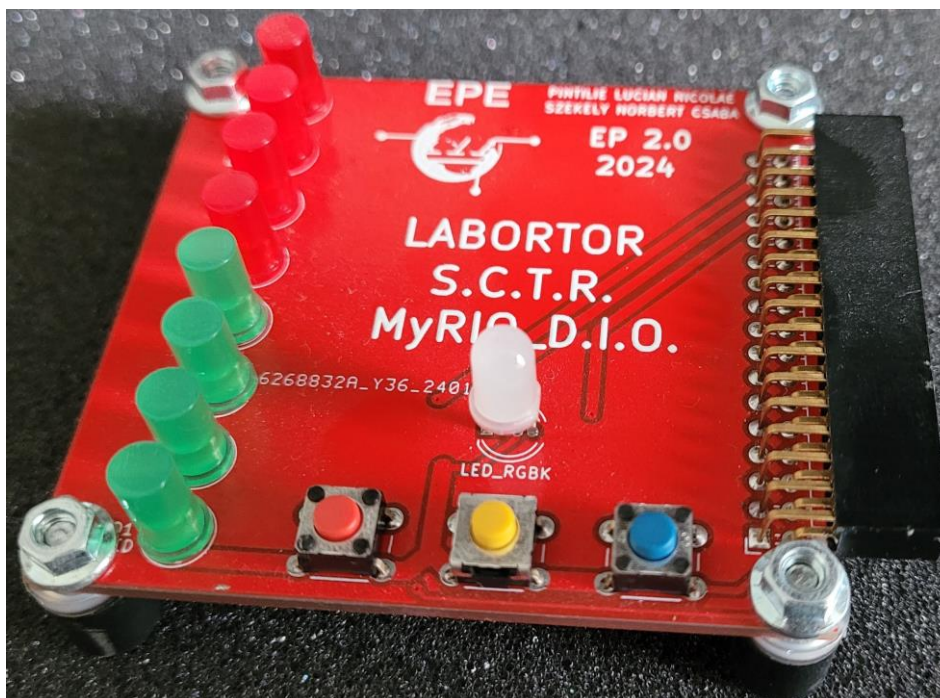


Fig. 16 - Plăcuța modulară nr. 1 destinată studiului operațiilor logice

Plăcuța conține următoarele elemente periferice digitale sau logice:

- opt diode electroluminiscente (eng. LED), patru de culoare verde și patru roșu;
- o singură diodă electroluminiscentă multicoloră (eng. RGB LED);
- trei microîntreruptoare cu apăsare și revenire (eng. PTM pushbutton);
- terminal de atașare la conectorul MXP;

Este necesar de specificat faptul că:

- nivelul logic al tensiunii de alimentare în cadrul conectorului MXP este 3,3 [V];
- starea logică a terminalelor aferente micro-contactelor este inversată;
- dioda electroluminiscentă multicoloră este atașată la terminalele digitale capabile să furnizeze un semnal dreptunghiular modulat în lățime (eng. PWM);
- plăcuța modulară nr. 1 a fost atașată la terminalul MXP_A (Fig. 17);

Terminalele digitale au fost repartizate și alocate resurselor fizice sau periferice conform tabelului următor:

Simbolul elementului din circuit	Terminal convențional	Terminal fizic MXP	Funcție
D1 LED	DO0_A – MXP A	11	Ieșire digitală
D2 LED	DO1_A – MXP A	13	Ieșire digitală
D3 LED	DO2_A – MXP A	15	Ieșire digitală
D4 LED	DO3_A – MXP A	17	Ieșire digitală
D5 LED	DO4_A – MXP A	19	Ieșire digitală
D6 LED	DO5_A – MXP A	21	Ieșire digitală
D7 LED	DO6_A – MXP A	23	Ieșire digitală
D8 LED	DO7_A – MXP A	25	Ieșire digitală
LED_RGBK - R	PWM0_A – MXP A	27	Ieșire digitală pulsatorie
LED_RGBK - G	PWM1_A – MXP A	29	Ieșire digitală pulsatorie
LED_RGBK - B	PWM2_A – MXP A	31	Ieșire digitală pulsatorie
SW1	DI11_A – MXP A	18	Intrare digitală
SW2	DI12_A – MXP A	22	Intrare digitală
SW3	DI13_A – MXP A	26	Intrare digitală

NOTĂ: Plăcuța modulară nr. 1 poate fi atașată la oricare dintre conectorii MXP_A sau B.



Fig. 17 – Atașarea plăcuței modulare nr. 1 la platforma de dezvoltare NI MyRIO 1900
Pentru a iniția un proiect nou în mediul NI VeriStand se va proceda astfel:

Conf. Dr. Ing. Enikő Szőke – Eniko.Szoke@emd.utcluj.ro

Asist. Dr. Ing. Lucian – Nicolae Pintilie – Lucian.Pintilie@emd.utcluj.ro

1. Se va lansa în execuție mediul NI VeriStand 2019 R3 (versiune compatibilă cu MyRIO);
2. Din cadrul meniului principal se va alege opțiunea „New” → „Default Project” (Fig. 18);

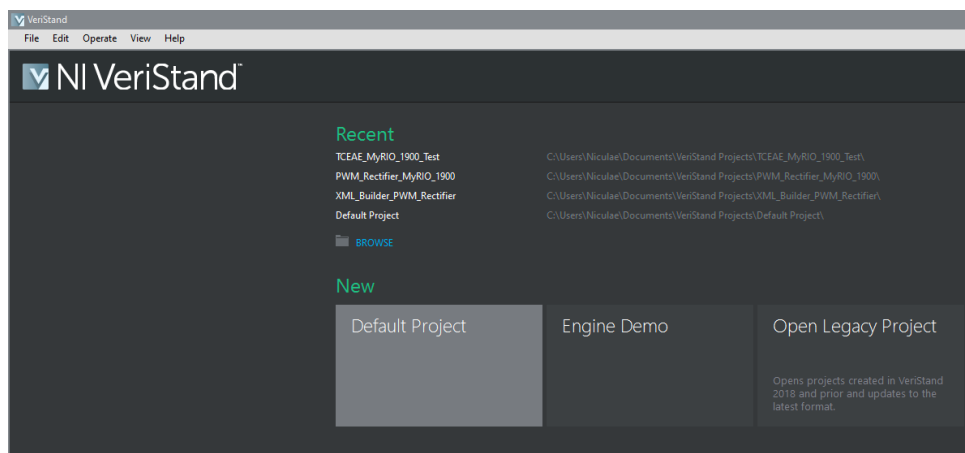


Fig. 18 – Alegerea opțiunii „Default Project” din meniul principal NI VeriStand

3. În fereastra de dialog se va alege denumirea proiectului (eng. Project Name) „TCEAE_MyRIO1_900_Lab_1” și se va trece mai departe prin comanda „Create” (Fig. 19);

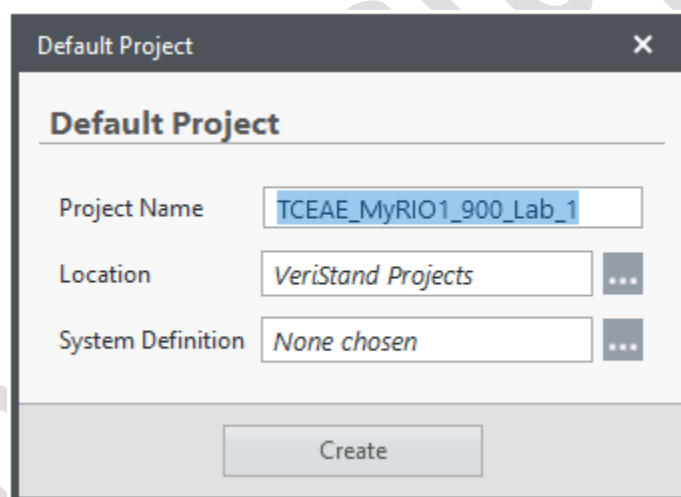


Fig. 19 – Denumirea noului proiect NI VeriStand

4. Din bara de instrumente se va alege opțiunea „Configure...” (Fig. 20):

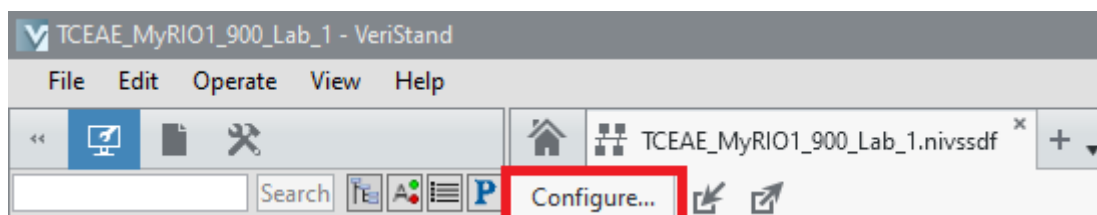


Fig. 20 – Alegerea opțiunii „Configure...”

5. Din fereastra de dialog „System Explorer”, din partea stângă se va alege sub-categoria „Controller”, iar în partea dreaptă se vor configura următorii parametrii (Fig. 21):

Conf. Dr. Ing. Enikő Szőke – Eniko.Szoke@emd.utcluj.ro

Asist. Dr. Ing. Lucian – Nicolae Pintilie – Lucian.Pintilie@emd.utcluj.ro

- Operating System: Linux_32_ARM;
- IP Address: 172.22.11.2;
- Username: admin
- DAQ DIO Rate: 1000 [Hz];
- Target Rate: 1000 [Hz];

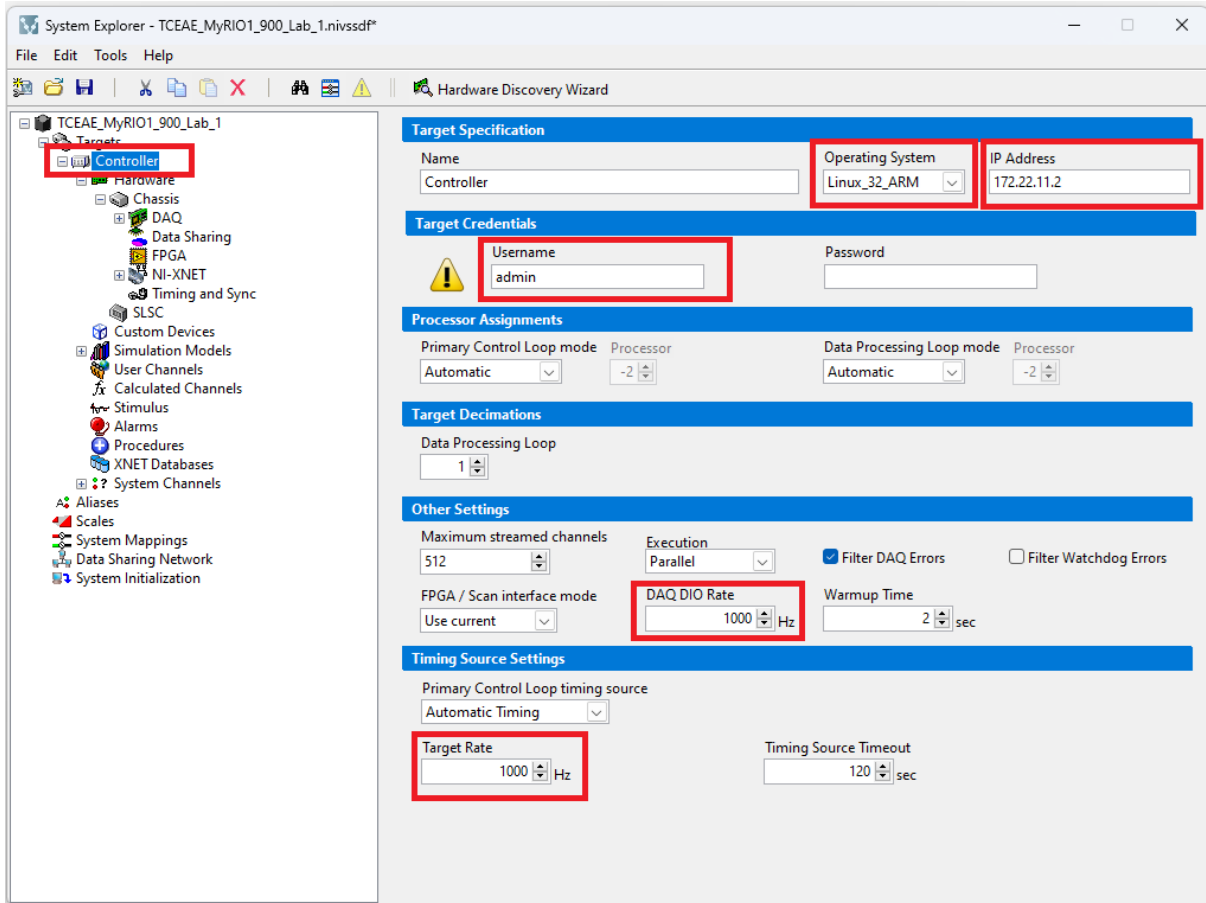


Fig. 21 - Fereastra de dialog „System Explorer” – secțiunea „Controller”

6. Din fereastra de dialog „System Explorer”, se va alege sub-categoria „Hardware” iar din bara de instrumente se va alege „Hardware Discovery Wizard” (Fig. 22):

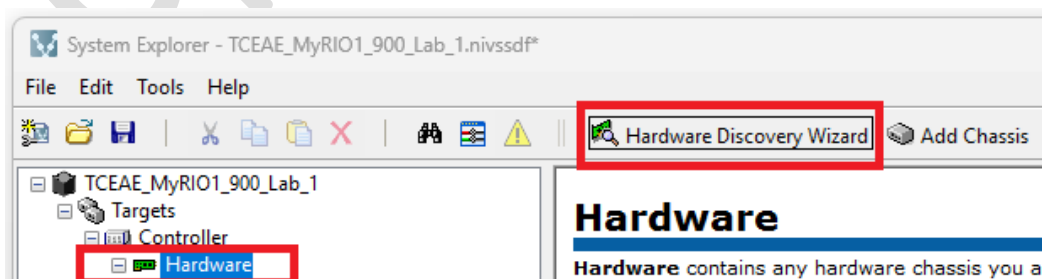


Fig. 22 – Alegerea sub-categoriei „Hardware” și opțiunea „Hardware Discovery Wizard”

7. În următoarea fereastră de dialog se va identifica un nucleu de tip FPGA (Fig. 23):

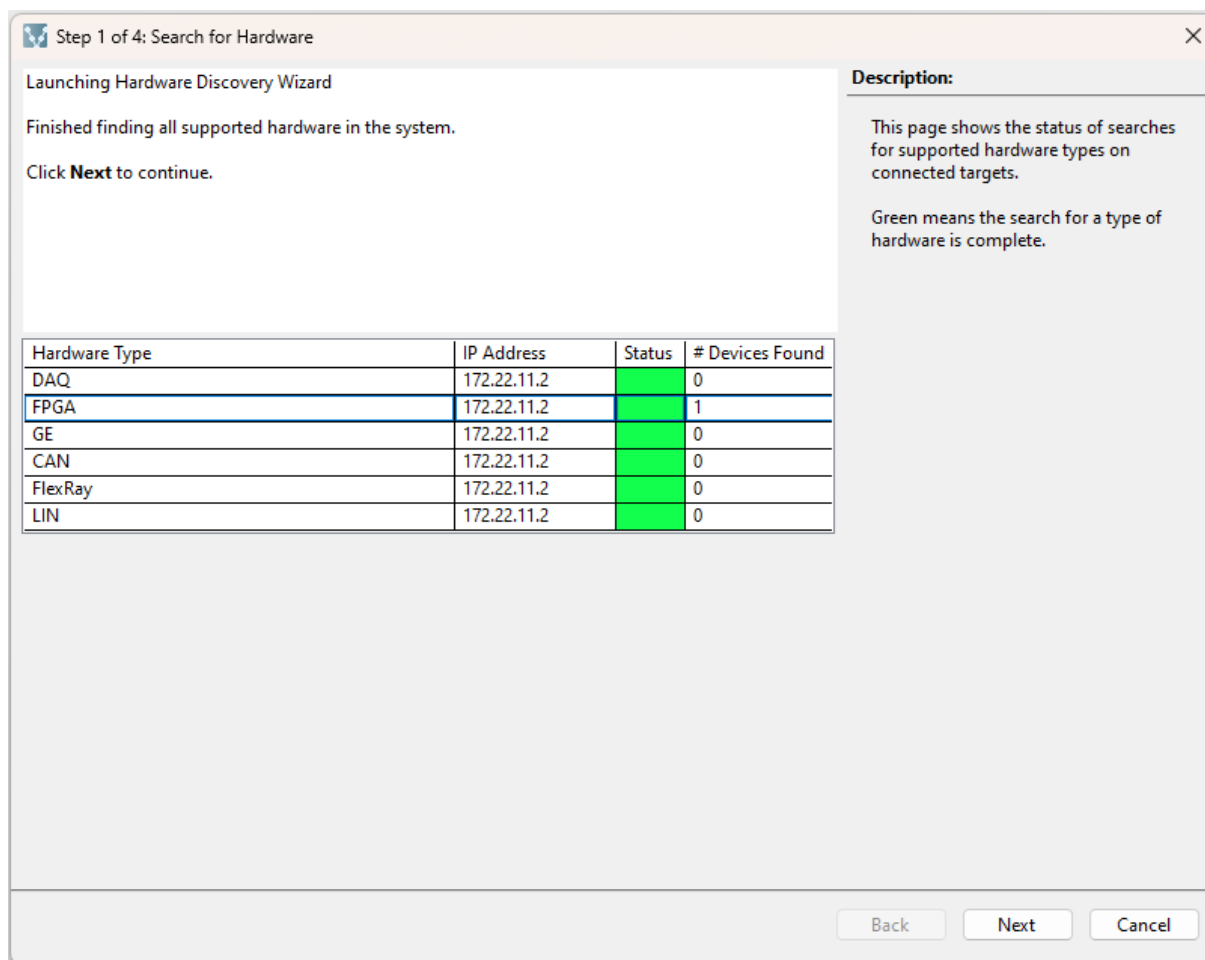


Fig. 23 – Identificarea nucleului FPGA din cadrul platformei NI MyRIO 1900

8. Se va trece mai departe la etapa de adăugare în proiect a nucleului FPGA (Fig. 24):

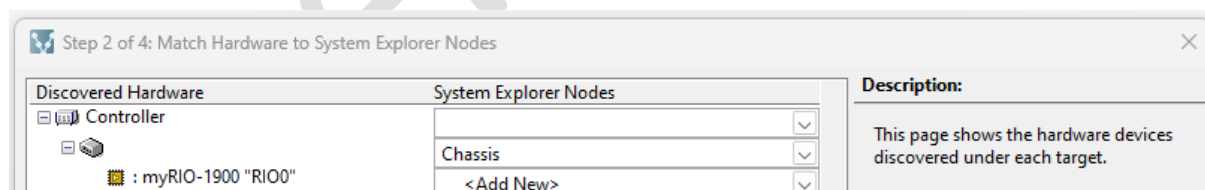


Fig. 24 – Adăugarea în proiect a nucleului FPGA identificat

9. Se va finaliza adăugarea prin apăsarea succesivă a butonului „Next” (înainte sau mai departe) iar în final se va alege butonul „Finish” (finalizare).

10. Nucleul FPGA „RIO0” va fi identificat în sub-categoria FPGA din fereastra de dialog „System Explorer”. Alegând această sub-categorie va fi posibilă operația de încărcare în memorie a fișierului de configurare „bitstream” în secțiunea „FPGA configuration” – Se va alege fișierul „MyRIO_VeriStand_Definition_File.fpgaconfig” (Fig. 25):

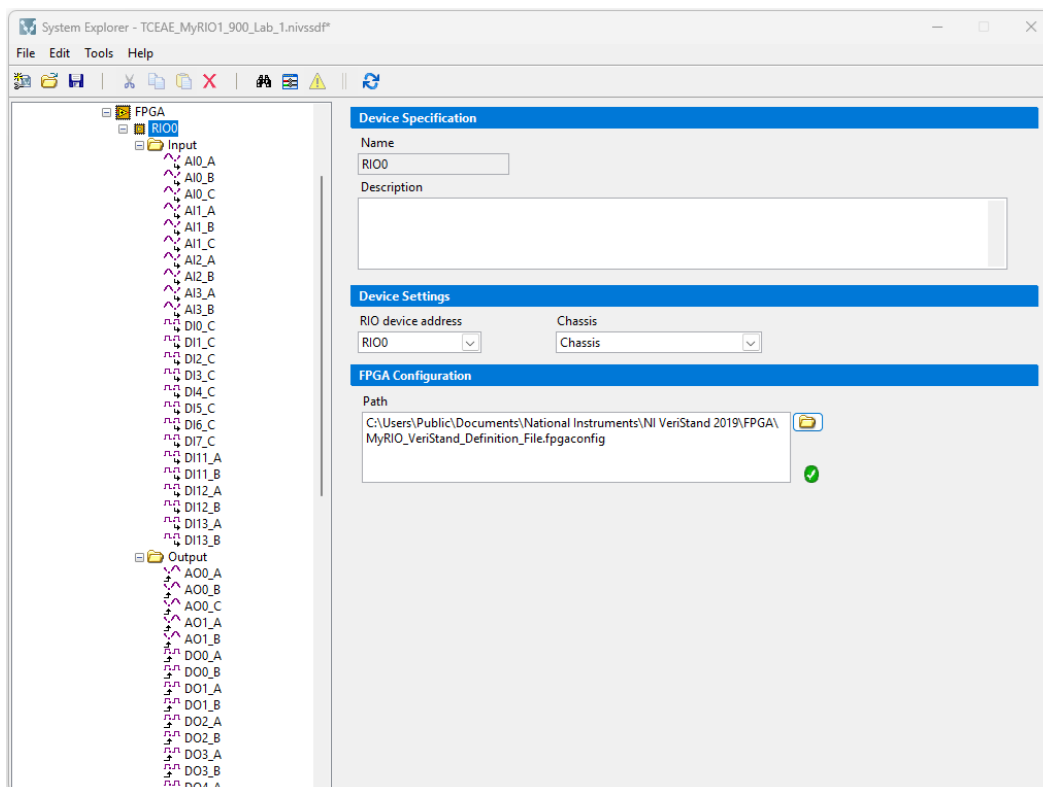


Fig. 25 – Încărcarea fișierului de configurare pentru FPGA (bitstream)

NOTĂ: Odată cu încărcarea fișierului de configurare a nucleului FPGA în NI VeriStand vor fi disponibile terminalele de intrare și ieșire ale platformei NI MyRIO 1900. Prin intermediul fișierului de configurare al nucleului FPGA se pot stabili funcțiile resurselor periferice ale platformei de dezvoltare.

11. Se va încheia procedura de configurare prin alegerea comenzii „Save” (iconița în formă de dischetă) apoi comanda „Close”.

12. Se va deschide panoul frontal din meniul „Project Files” selectând fișierul „TCEAE_MyRIO1_900_Lab_1.nivsscr” cu comanda „dublu clic” (Fig. 26).

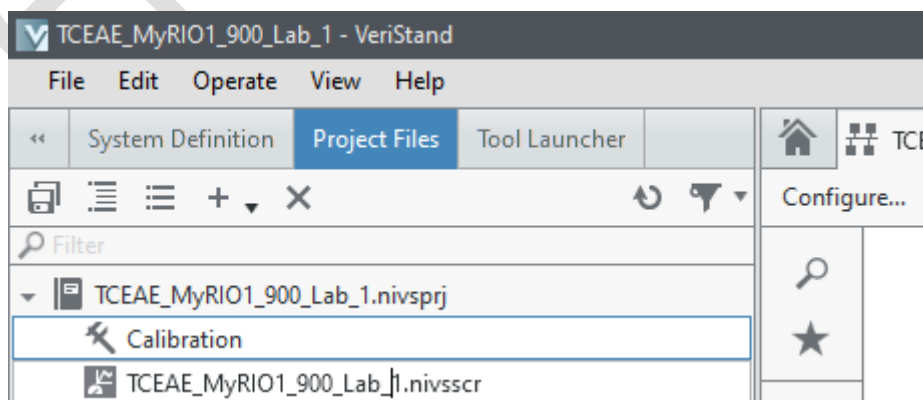


Fig. 26 – Deschiderea panoului frontal din fișierul „TCEAE_MyRIO1_900_Lab_1.nivsscr”

13. Se vor plasa opt butoane virtuale în model, corespunzătoare celor opt ieșiri digitale care controlează diodele electroluminiscente (Fig. 27, 28). Se vor plasa de asemenea trei cursoare cu intervalul de variație [0 – 1] fracționară pentru a controla intensitatea fiecărei culori din cadrul diodei electroluminiscente RGB. Se vor plasa de asemenea trei indicatori corespunzători pentru cele trei butoane cu apăsare și revenire (Fig. 29):

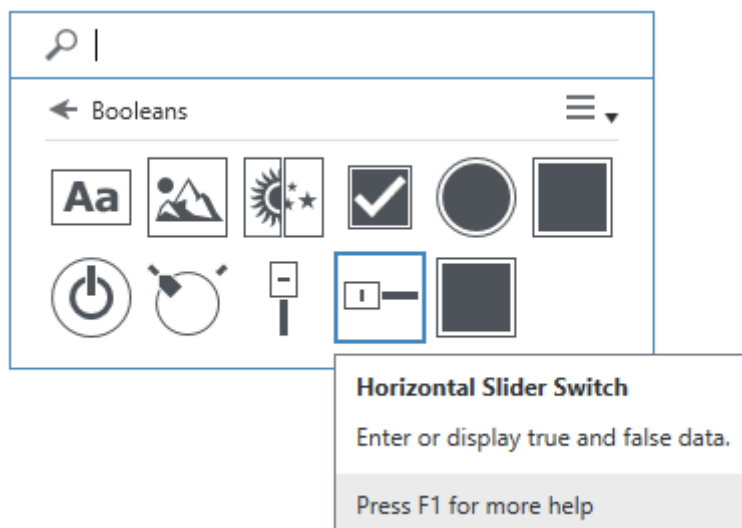


Fig. 27 – Paleta de instrumente virtuale – alegerea butoanelor virtuale care controlează ieșirile digitale

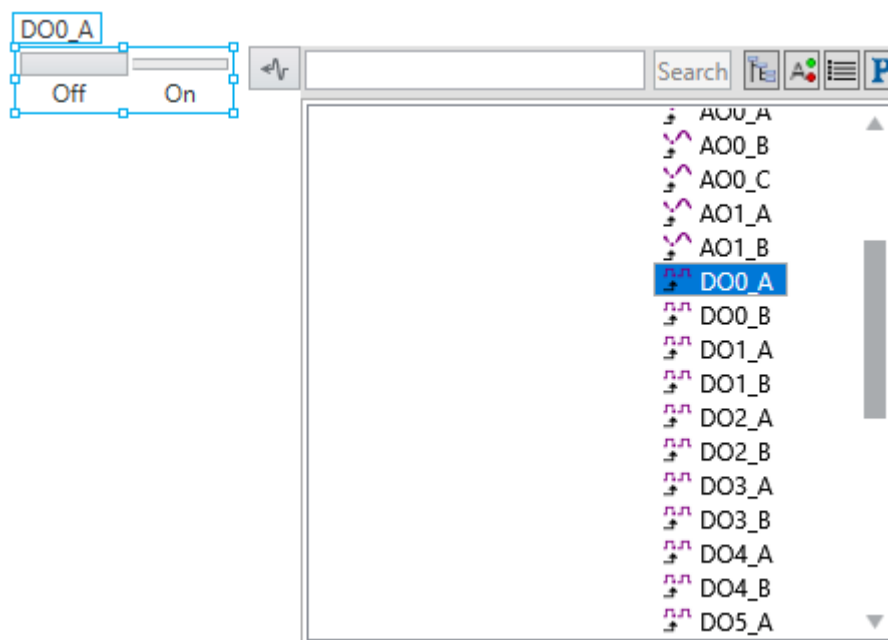


Fig. 28 – Asocierea instrumentelor virtuale din panoul frontal cu ieșiri digitale fizice

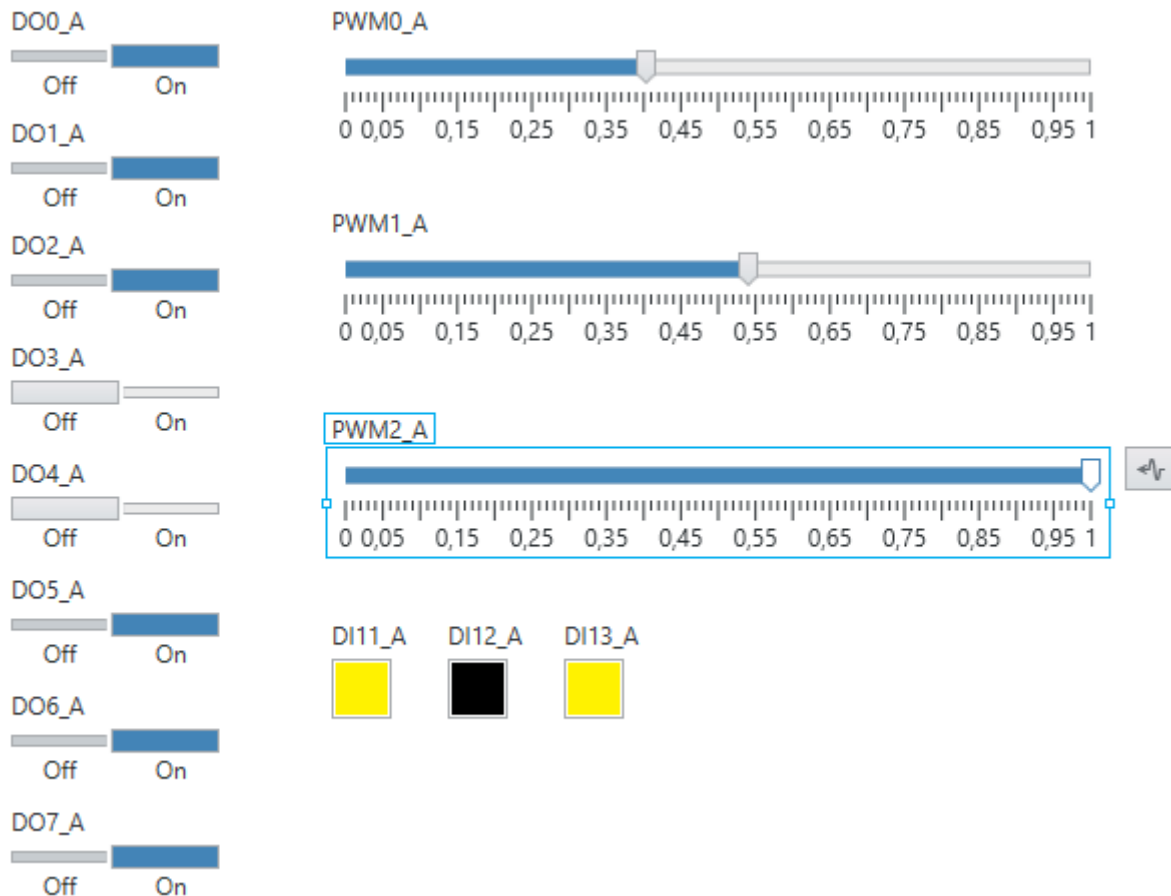


Fig. 29 – Forma finală a panoului frontal

14. Pentru a încărca în memoria platformei de dezvoltare aplicația executabilă se va alege opțiunea „Deploy” din bara de instrumente (de culoare gri închis) (Fig. 30):

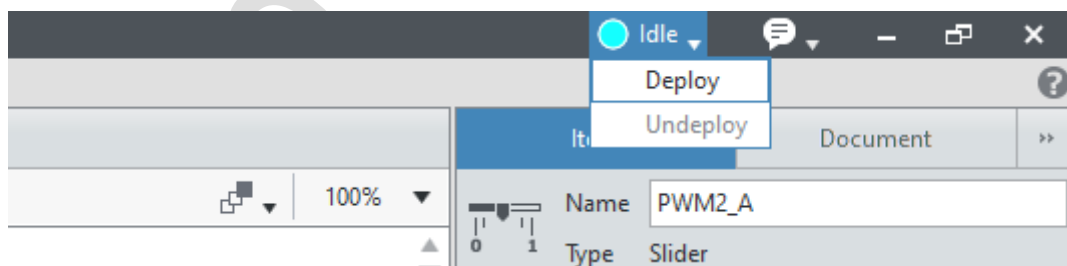


Fig. 30 – Încărcarea aplicației executabile în memoria platformei de dezvoltare NI MyRIO

15. Se va testa funcționalitatea aplicației în timp real prin acționarea instrumentelor virtuale din cadrul panoului frontal. Efectul acționării instrumentelor virtuale se va regăsi la nivelul componentelor periferice din cadrul plăcuței modulare (Fig. 31).

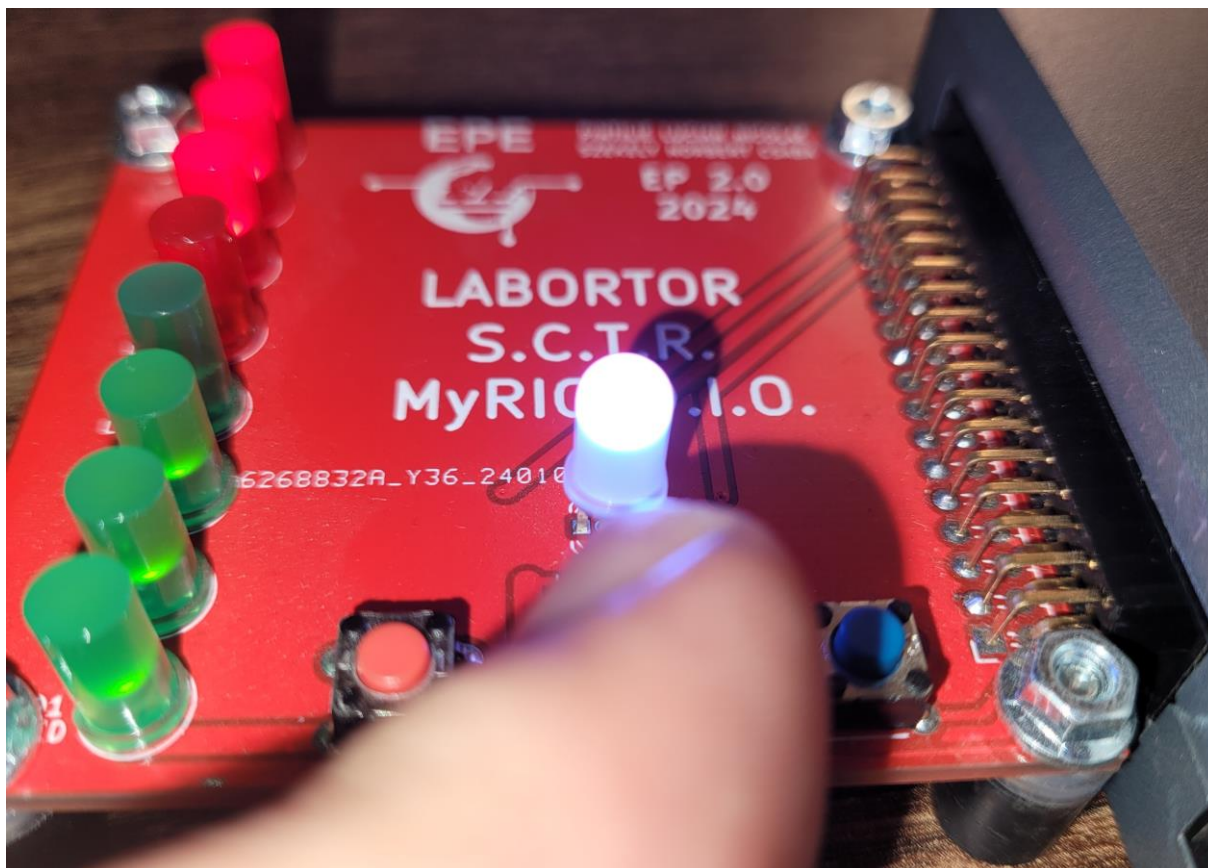


Fig. 31 – Acționarea instrumentelor din cadrul panoului frontal și verificarea funcționalității la nivelul plăcuței modulare

Pentru a încheia sau suspenda execuția aplicației în timp real se va selecta opțiunea „Undeploy” din cadrul barei de instrumente (de culoare gri închis).

IV. CONCLUZIE:

Platforma de dezvoltare NI MyRIO 1900 și mediul de testare automată NI VeriStand reprezintă o soluție viabilă atât pentru partea de cercetare cât și pentru cea didactică în ceea ce privește simularea și validarea unei strategii de comandă și control în timp real. În cadrul mediului NI VeriStand pot fi încărcate modele Simulink ca și cod program specific strategiei de comandă și control concepută în acest sens. Tot în cadrul mediului NI VeriStand, variabilele virtuale de intrare și ieșire vehiculate în modelul matematic al strategiei de control, pot fi cuplate cu intrări și ieșiri fizice ale sistemului de calcul, permițând astfel implementarea buclei de control într-un sistem de calcul digital.

V. BIBLIOGRAFIE:

Conf. Dr. Ing. Enikő Szőke – Eniko.Szoke@emd.utcluj.ro

Asist. Dr. Ing. Lucian – Nicolae Pintilie – Lucian.Pintilie@emd.utcluj.ro

epe.utcluj.ro